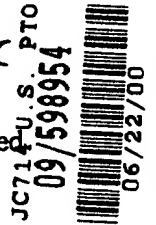


日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

703-205-8000
1248-50SP
HARAH et al.
2062

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.



出願年月日
Date of Application:

2000年 3月 7日

願番号
Application Number:

特願2000-062566

願人
Applicant(s):

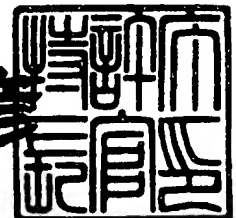
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 4月28日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3032436

【書類名】 特許願

【整理番号】 99J03782

【提出日】 平成12年 3月 7日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H04J 13/02
H03H 17/04

【発明の名称】 フィルタ回路

【請求項の数】 19

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 原 圭太

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 飯塚 邦彦

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第175178号

【出願日】 平成11年 6月22日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ回路

【特許請求の範囲】

【請求項 1】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

最終段のユニット回路以外の任意の段のユニット回路で、前段のユニット回路からの出力と自段での演算結果との加算値を低ビット量子化し、その量子化結果と、該量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差とを、後続のユニット回路へ順次転送してゆくことを特徴とするフィルタ回路。

【請求項 2】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

自段での演算結果を加算手段で前段からの累算値に加算するとともに、最終段のユニット回路以外の任意の段のユニット回路で、その加算値を低ビット量子化して後続のユニット回路へ順次転送し、かつ量子化結果のデジタル／アナログ変換値を前記加算値から減算することによって、次段のユニット回路における加算手段のダイナミックレンジの拡大を抑制することを特徴とするフィルタ回路。

【請求項 3】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

最終段のユニット回路以外の任意の段のユニット回路で、自段での演算結果を前段からの累算値に加算した加算値を低ビット量子化し、その量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差を求めることで、該任意の段以降のユニット回路では、前記累算値をアナログデータとデジタルデータとの合算値で表し、最終段のユニット回路からは少なくともデジタルデータで出力することを特徴とするフィルタ回路。

【請求項 4】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段と、

最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第 1 の加算手段からの出力を低ビット量子化する量子化手段と、

自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第 2 の加算手段と、

前記量子化手段からの出力をアナログ変換するデジタル／アナログ変換手段と

前記第 1 の加算手段の出力から、前記デジタル／アナログ変換手段の出力を減算し、残差を次段のユニット回路へ出力する第 3 の加算手段とを含むことを特徴とするフィルタ回路。

【請求項 5】

複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、

自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段と、

最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第 1 の加算手段からの出力を低ビット量子化する量子化手段と、

自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第 2 の加算手段と、

前記量子化手段からの出力をアナログ変換し、その出力を次段の第 1 の加算手段に与えて、自段の第 1 の加算手段の出力から減算させるデジタル／アナログ変換手段とを含むことを特徴とするフィルタ回路。

【請求項 6】

前記任意の段は予め定める段数おきの段であり、前記低ビット量子化による部分相関値の演算を周期的に行うことを特徴とする請求項 1 ～ 5 の何れかに記載のフィルタ回路。

【請求項 7】

最終段のデジタル／アナログ変換手段の出力を、該最終段の前記第 1 の加算手段の出力から減算し、該最終段でのアナログ残差を求める第 4 の加算手段と、

前記第 4 の加算手段からの出力をアナログ／デジタル変換する高分解能のアナログ／デジタル変換手段とをさらに備えることを特徴とする請求項 4 ～ 6 の何れ

かに記載のフィルタ回路。

【請求項 8】

前記各演算手段へのアナログ入力信号ラインに介在され、前記アナログ入力信号に代えて基準電圧を入力する第 1 の切換え手段と、

キャリブレーションモード時に前記各演算手段へ前記基準電圧を入力することによって現れる DC オフセット分を抽出する第 2 の切換え手段と、

前記 DC オフセット分をストアするメモリと、

相関演算モード時に、前記メモリにストアされている前記 DC オフセット分を最終段の演算手段の相関出力から減算することで、オフセット補正を行う第 5 の加算手段とをさらに備えることを特徴とする請求項 4 ～ 7 の何れかに記載のフィルタ回路。

【請求項 9】

総ての第 2 の加算手段のビット数を、最終段の第 2 の加算手段のビット数と同一にするのではなく、初段から最終段まで段階的に前記ビット数を増加することを特徴とする請求項 4 ～ 8 の何れかに記載のフィルタ回路。

【請求項 10】

前記量子化手段をコンパレータとし、2 値または 3 値の量子化を行うことを特徴とする請求項 4 ～ 9 の何れかに記載のフィルタ回路。

【請求項 11】

前記アナログ入力信号はスペクトラム拡散受信信号であり、前記係数は拡散符号であり、前記各演算手段は前記スペクトラム拡散受信信号と前記拡散符号との相関演算を行う相関演算器であり、スペクトラム拡散受信機に適用されて逆拡散を行うマッチトフィルタであることを特徴とする請求項 1 ～ 10 の何れかに記載のフィルタ回路。

【請求項 12】

前記演算手段の段数 M は、前記拡散符号の符号長 N の整数 ϕ 倍個分設けられていることを特徴とする請求項 11 記載のフィルタ回路。

【請求項 13】

前記演算手段の段数 M は、I 成分用と Q 成分用とのそれぞれに対して前記拡散

符号の符号長 N 個分設けられており、

さらに振幅計算部を備えていることを特徴とする請求項 1 1 記載のフィルタ回路。

【請求項 1 4】

前記 M 段の演算手段群が K 組設けられており、同一段の演算手段には相互に同一の拡散符号が設定され、各組の演算手段群には、チップ周期 T_c の $1/K$ だけ相互に位相がずれたクロック信号が与えられ、

さらに各群の最終段の演算手段からの相関出力を、前記 T_c/K 毎に順次選択して出力するマルチプレクサを備えていることを特徴とする請求項 1 1 または 1 3 記載のフィルタ回路。

【請求項 1 5】

前記演算手段は、前記 M 段の各段毎に K 個が縦続接続されて構成されており、各演算手段には、チップ周期 T_c の $1/K$ だけ相互に位相がずれたクロック信号が与えられることを特徴とする請求項 1 1 または 1 3 記載のフィルタ回路。

【請求項 1 6】

前記係数を総て「1」として、アナログ入力信号の移動平均のアナログ／デジタル変換値を求めることを特徴とする請求項 1 1 ～ 1 5 の何れかに記載のフィルタ回路。

【請求項 1 7】

前記複数段のユニット回路の縦続接続が部分的に複数列形成され、その複数列間の相互に対応する段のユニット回路内の演算手段は相互に同一のサンプリングタイミングでのアナログ入力信号を演算に用い、前記相互に対応する段の係数の加算値が、その段に所望とすべき係数値となるように各並列ユニット回路間で分割されて設定されることを特徴とする請求項 1 ～ 1 0 の何れかに記載のフィルタ回路。

【請求項 1 8】

一方の列の演算結果を他方の列に合流させるにあたって、前記他方の列では、前記アナログ入力信号に対する乗算係数が 0 であるユニット回路を用い、該ユニット回路における乗算係数を 1 として、前記一方の列のアナログ残差を前記アナ

ログ入力信号に代えて入力し、前段からのアナログ残差に加算することを特徴とする請求項 17 記載のフィルタ回路。

【請求項 19】

前記アナログ入力信号は通信用受信機の受信信号または周波数変換された信号であり、前記係数は帯域制限フィルタの特性を決定する係数であり、前記各演算手段は前記通信用受信機の受信信号または周波数変換された信号と前記帯域制限フィルタの特性を決定する係数との相関演算を行う相関演算器であり、通信用受信機の受信系信号の変換部に適用される帯域制限フィルタであることを特徴とする請求項 17 記載のフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、連続的なアナログ入力信号をサンプリングして時系列で入力し、この時系列アナログサンプリング信号に係数を乗じて演算するフィルタ回路に関し、特にスペクトラム拡散方式を用いる無線通信装置内の受信機のマッチトフィルタや帯域制限フィルタとして好適に実施されるフィルタ回路に関する。

【0002】

【従来の技術】

従来から、前記スペクトラム拡散受信機の逆拡散手段として、マッチトフィルタが使用されている。マッチトフィルタとして、従来の N タップのマッチトフィルタの構成例を図 18 に示す。図 18 において、 d_m および r_m は、それぞれ時点 m におけるスペクトラム拡散受信信号および相関信号を表わし、 p_n は周期 N の拡散符号を表わす ($n = 0, 1, 2, \dots, N-1$)。前記拡散符号 p_n の区間長 (チップ区間長) を T_c として、受信信号 d_m はチップ区間長 T_c と等しい周期で時間的にサンプリングされているものとする。なお、拡散符号 p_n において、 p_n と p_{n+1} とでは、 p_{n+1} の方が過去の符号を示すこととする。他の信号、たとえば受信信号 d_m においては、 d_m と d_{m+1} とでは、 d_m の方が過去の信号を示す。

【0003】

送信側において拡散を受けるデータの区間長（シンボル区間長）を T_s とすると、拡散比 N はチップ区間長 T_c 、シンボル区間長 T_s との間に、 $N = T_s / T_c$ の関係がある。図 18 のように、通常のマッチトフィルタでは、タップ数 M は拡散比 N に等しい。以下、動作説明を簡単化するため、受信信号 d_m はベースバンド帯域の信号とする。

【0004】

遅延回路 d は、 $N - 1$ 個の遅延素子 d_i ($i = 1, 2, \dots, N - 1$) が縦続接続されて構成されており、遅延素子 d_1 には前記受信信号 d_m が入力される。各遅延素子 d_i での遅延時間は、前記チップ区間長 T_c に等しい。そして、各遅延素子 d_i の出力 d_{m-i} および入力信号 d_m のそれぞれには、乗算回路 m_n で拡散符号 p_n が乗算されて、乗算回路出力の総てが加算回路 k にて相互に加算される。これによって、拡散符号 p_n の 1 周期の区間 T_s に対する相関信号 r_m が求められる。

【0005】

一般の拡散符号 p_n は、「+1」か「-1」の 2 値しかとらないので、通常乗算回路 m_n は、加算回路 k への入力の正負を拡散符号 p_n に従って反転させて、前記各遅延素子 d_i の出力 d_{m-i} および入力信号 d_m を出力する。図 18 の構成から理解されるように、マッチトフィルタ内部では、拡散符号 p_n を固定して、チップ区間長 T_c 毎にずれてゆく受信信号 d_m との相互相関関数を計算している。受信信号 d_m と拡散符号 p_n との位相が一致した時点で、相関信号 r_m の絶対値は最大値となる。受信信号 d_m と拡散符号 p_n との周期性によって、この位相が一致する時点はシンボル区間長の前記 T_s 毎に訪れ、その時点が同期位相となり、同期捕捉や同期追跡に用いられる。このように、マッチトフィルタを用いる逆拡散は必ず拡散符号 p_n の 1 周期の区間 T_s 周期で行えるので、受信信号 d_m と拡散符号 p_n との位相を合わせる操作は不要である。

【0006】

また、他のスペクトラム拡散受信機のマッチトフィルタとして、たとえば特開平 9 - 8 3 4 8 6 号公報には、アナログ入力信号に対し、PN 符号による重み付け加算を行い、加算結果をアナログ出力信号として出力する積和演算部を設け、

この積和演算部のアナログ出力を間欠的に保持し、保持したアナログ信号のピークを検出し、検出したピーク値のタイミングを決定して、このピーク値のタイミングでのみ、アナログ／デジタル変換器でアナログ信号のピーク値をデジタル化する技術が開示されている。

【 0 0 0 7 】

このように構成することによって、アナログ／デジタル変換器の動作速度を最小限に抑えることができ、この結果、消費電力の低減を図っている。

【 0 0 0 8 】

さらにまた、他のフィルタ回路として、たとえばIEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.30, No.12, DECEMBER 1995, P1350-1356の“A 20-Msample/s Switched-Capacitor Finite-Impulse-Response Filter Using a Transposed Structure.”には、switched capacitor回路を用いて図19で示すようなFIRフィルタを構成し、入力信号 v_i と係数 $a_1 \sim a_4$ との乗算を行い、部分相関値をパイプライン方式で4段アナログ加算し、相関値 v_o を出力する技術が開示されている。

【 0 0 0 9 】

上記の論文に開示された技術によれば、短いタップ数の場合の相関値を、少ない消費電力で、アナログ計算することができる。

【 0 0 1 0 】

さらにまた、他のフィルタ回路として、特許第2773075号公報には、電荷転送素子であるCCDをアナログシフトレジスタとして用い、相関値を出力するマッチトフィルタの技術が開示されている。このように構成することによっても、短いタップ数の場合の相関値を、少ない消費電力で、アナログ計算することができる。

【 0 0 1 1 】

【発明が解決しようとする課題】

マッチトフィルタは、同期捕捉時間が短いという特長がある。しかしながら、回路規模が大きくなるという問題点がある。すなわち、図18の構成をデジタル回路で実現すると、加算回路 k の回路規模が大きくなってしまいう問題があ

る。これは、デジタルの多入力加算回路は、2入力加算回路の組合わせでしか実現することができず、タップ数がNの場合は、最低でもN-1個の2入力加算回路が必要となるためである。また、チップ区間長 T_c が短くなるほど高速動作が要求されるので、消費電流が増大するという問題もある。

【0012】

そこで、これら問題を解決するために、上記特開平9-83486号公報に記載されるように、反転増幅回路を使ったアナログマッチトフィルタが注目されつつある。

【0013】

しかしながら、上記特開平9-83486号公報に記載された構成では、アナログ／デジタル変換器の動作速度を抑えることで、ベースバンド処理部における消費電力を小さくできるが、アナログ信号のピークを検出するための回路が複雑になる。このように、アナログ出力信号でピーク検出した値をアナログ／デジタル変換しているので、ピーク検出が複雑であるにも関わらず、ピーク値の検出精度が低いという問題があった。したがって、アナログスペクトラム拡散受信信号を精度良く復調することができないという問題がある。

【0014】

また、前記図19で示す構成では、4段の少ないタップ数の例であるので、アナログ加算器 $k_1 \sim k_4$ に大きなダイナミックレンジは必要ないが、マッチトフィルタとして用いるためには、256回から512回の部分相関値の加算が必要であり、このような多段の構成では、前記部分相関値が多く累積される後段側になるほど、その累積された部分相関値を飽和させないために、アナログ加算器には大きなダイナミックレンジが必要になる。このため、前記加算器での電力消費が大きいという問題がある。一方、前記部分相関値のレベルを小さくすると、加算器のダイナミックレンジを小さくすることが可能であるけれども、相関出力 v_o の後続回路での処理を簡単にするために、デジタル出力へと変換するためのアナログ／デジタル変換器に高い分解能が必要になり、その構成が複雑化して電力消費が大きくなるという問題が生じる。

【0015】

さらにまた、特許第 2 7 7 3 0 7 5 号公報に記載された構成でも、少ないタップ数の P N 符号の場合には問題が生じないけれども、実際のマッチトフィルタとして用いるためには、2 5 6 回から 5 1 2 回の部分相関値の加算が必要であり、蓄えなければならない電荷量が多くなり、S / N が劣化するという問題がある。

【 0 0 1 6 】

本発明は、上記の問題点を解決するためになされたもので、その目的は、回路規模や消費電力を小さくし、かつ回路規模や消費電力が少なくても受信信号の受信精度を向上させ、後続回路での信号処理が簡単なフィルタ回路を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、最終段のユニット回路以外の任意の段のユニット回路で、前段のユニット回路からの出力と自段での演算結果との加算値を低ビット量子化し、その量子化結果と、該量子化結果のデジタル / アナログ変換値を前記加算値から減算した残差とを、後続のユニット回路へ順次転送してゆくことを特徴とする。

【 0 0 1 8 】

また、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が

求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、自段での演算結果を加算手段で前段からの累算値に加算するとともに、最終段のユニット回路以外の任意の段のユニット回路で、その加算値を低ビット量子化して後続のユニット回路へ順次転送し、かつ量子化結果のデジタル／アナログ変換値を前記加算値から減算することによって、次段のユニット回路における加算手段のダイナミックレンジの拡大を抑制することを特徴とする。

【 0 0 1 9 】

上記の各構成によれば、各ユニット回路は部分相関値を演算し、その累算値が所定値より大きくなる任意の段のユニット回路で、演算結果を低ビット量子化し、後段側へは、前記累算値から量子化結果のアナログ変換値を減算した残差分のアナログ信号と、量子化結果とを、順次出力してゆく。

【 0 0 2 0 】

したがって、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように 2 5 6 段や 5 1 2 段の多段構成としても、該加算手段の回路規模や電力消費を小さくできるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 0 2 1 】

また、前記低ビット量子化およびアナログ残差の演算のための構成は、前記のとおり最終段のユニット回路以外の任意の段のユニット回路に設けられるので、要求される出力の分解能に合わせて、たとえば 1 段おき、または 2 段おき等の等間隔に間引かれてもよく、このように構成することによって、必要最小限の回路構成で、要求機能（分解能）を満足することができる。

【 0 0 2 2 】

さらにまた、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定され

ている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、最終段のユニット回路以外の任意の段のユニット回路で、自段での演算結果を前段からの累算値に加算した加算値を低ビット量子化し、その量子化結果のデジタル／アナログ変換値を前記加算値から減算した残差を求めることで、該任意の段以降のユニット回路では、前記累算値をアナログデータとデジタルデータとの合算値で表し、最終段のユニット回路からは少なくともデジタルデータで出力することを特徴とする。

【 0 0 2 3 】

上記の構成によれば、各ユニット回路は部分相関値を演算し、任意の段以降では、その累算値をアナログデータとデジタルデータとの合算値で表す。すなわち、前記累算値が所定値より大きくなる任意の段のユニット回路で、演算結果を低ビット量子化し、後段側へは、前記累算値から量子化結果のアナログ変換値を減算した残差分のアナログ信号と、量子化結果とを、順次出力してゆく。

【 0 0 2 4 】

したがって、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように 2 5 6 段や 5 1 2 段の多段構成としても、該加算手段の回路規模や電力消費を小さくできるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 0 2 5 】

また、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果

と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段と、最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第 1 の加算手段からの出力を低ビット量子化する量子化手段と、自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第 2 の加算手段と、前記量子化手段からの出力をアナログ変換するデジタル／アナログ変換手段と、前記第 1 の加算手段の出力から、前記デジタル／アナログ変換手段の出力を減算し、残差を次段のユニット回路へ出力する第 3 の加算手段とを含むことを特徴とする。

【 0 0 2 6 】

上記の構成によれば、各演算手段からの部分相関値の累算値を演算するアナログの第 1 の加算手段が前記係数の設定などから飽和する虞のある 1 または複数の任意の段および最終段において量子化手段を設け、該量子化手段によって演算結果を低ビット量子化し、後段側へは、その量子化結果と、デジタル／アナログ変換手段および第 3 の加算手段によって求めた量子化による残差分のアナログ信号とを、それぞれ順次出力してゆく。カウンタなどで実現され、デジタルの加算手段であり、本構成によって増加することになる第 2 の加算手段の電力消費は、アナログの加算手段である第 1 の加算手段よりも飛躍的に小さい。

【 0 0 2 7 】

したがって、第 1 の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段の第 3 の加算手段からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように 2 5 6 段や 5 1 2 段の多段構成としても、該第 1 の加算手段の回路規模や電力消費を小さくできるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 0 2 8 】

さらにまた、本発明に係るフィルタ回路は、上記の課題を解決するために、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータで出力するようにしたフィルタ回路において、自段における演算結果を、転送されてきた前段の出力と相互に加算する第1の加算手段と、最終段のユニット回路および該最終段以外の任意の段のユニット回路に設けられ、前記第1の加算手段からの出力を低ビット量子化する量子化手段と、自段における前記量子化手段の量子化結果を、前段までの量子化結果に加算してゆく第2の加算手段と、前記量子化手段からの出力をアナログ変換し、その出力を次段の第1の加算手段に与えて、自段の第1の加算手段の出力から減算させるデジタル／アナログ変換手段とを含むことを特徴とする。

【0029】

上記の構成によれば、各演算手段からの部分相関値の累算値を演算するアナログの第1の加算手段が前記係数の設定などから飽和する虞のある1または複数の任意の段および最終段において量子化手段を設け、該量子化手段によって演算結果を低ビット量子化し、後段側へは、その量子化結果と、デジタル／アナログ変換手段によって求めた前記量子化結果のアナログ変換値と、前記第1の加算手段からのアナログ信号とを、それぞれ順次出力してゆく。次段の第1の加算手段で、前記量子化結果のアナログ変換値は第1の加算手段からのアナログ信号から減算され、こうして残差分のアナログ信号が求められ、その段での演算結果に加算される。カウンタなどで実現され、デジタルの加算手段であり、本構成によって増加することになる第2の加算手段の電力消費は、アナログの加算手段である第1の加算手段よりも飛躍的に小さい。

【0030】

したがって、第1の加算手段のダイナミックレンジは、対応する演算手段で求

められる部分相関値と、前段からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように256段や512段の多段構成としても、第1の加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【0031】

また、本発明に係るフィルタ回路では、前記任意の段は予め定める段数おきの段であり、前記低ビット量子化による部分相関値の演算を周期的に行うことを特徴とする。

【0032】

上記の構成によれば、前記低ビット量子化による部分相関値を演算する構成を、総ての段のユニット回路に設けるのではなく、前記予め定める段数おきの周期的に設けるようにして、等間隔に間引きを行う。

【0033】

したがって、アナログ計算量が偏らないようにして、要求分解能を満足しつつ、必要最小限の構成で、低消費電力に、相関値の演算を行うことができる。

【0034】

さらにまた、本発明に係るフィルタ回路は、最終段の演算手段のデジタル／アナログ変換手段の出力を、該最終段の演算手段の前記第1の加算手段の出力から減算し、該最終段でのアナログ残差を求める第4の加算手段と、前記第4の加算手段からの出力をアナログ／デジタル変換する高分解能のアナログ／デジタル変換手段とをさらに備えることを特徴とする。

【0035】

上記の構成によれば、最終段の演算手段で量子化できなかったアナログ残差を、高分解能のアナログ／デジタル変換手段によってデジタル変換し、相関出力の一部として用いる。

【0036】

したがって、前記最終段のユニット回路の第2の加算手段からの上位ビットの

相関出力と、前記アナログ／デジタル変換手段からの下位ビットの相関出力とを合わせて実際の相関出力を形成するので、高精度な相関出力を得ることができる。

【 0 0 3 7 】

また、本発明に係るフィルタ回路は、前記各演算手段へのアナログ入力信号ラインに介在され、前記アナログ入力信号に代えて基準電圧を入力する第 1 の切換え手段と、キャリブレーションモード時に前記各演算手段へ前記基準電圧を入力することによって現れる DC オフセット分を抽出する第 2 の切換え手段と、前記 DC オフセット分をストアするメモリと、相関演算モード時に、前記メモリにストアされている前記 DC オフセット分を最終段の演算手段の相関出力から減算することで、オフセット補正を行う第 5 の加算手段とをさらに備えることを特徴とする。

【 0 0 3 8 】

上記の構成によれば、第 1 の切換え手段を切換えて、各演算手段に基準電圧を入力するキャリブレーションモードとすると、出力されてきた相関出力は DC オフセット分を現すことになり、これを第 2 の切換え手段を切換えることで、通常の相関演算モード時の出力ラインからメモリに入力し、ストアしておく。

【 0 0 3 9 】

したがって、前記通常の相関演算モード時には、第 5 の加算手段がそのストア値を相関出力から減算することで、前記 DC オフセット分を除去した高精度な相関出力を得ることができる。

【 0 0 4 0 】

さらにまた、本発明に係るフィルタ回路は、総ての第 2 の加算手段のビット数を、最終段の第 2 の加算手段のビット数と同一にするのではなく、初段から最終段まで段階的に前記ビット数を増加することを特徴とする。

【 0 0 4 1 】

上記の構成によれば、前段側の演算手段での量子化結果にその段における量子化結果を加算するカウント動作を行う第 2 の加算手段において、カウント値の小さい初段側のビット数を小さく、最終段側となるにつれて大きく設定する。

【 0 0 4 2 】

したがって、前記第 2 の加算手段は必要なビット数のみの構成となり、フリップフロップの回路規模を最小限にすることができる。

【 0 0 4 3 】

また、本発明に係るフィルタ回路は、前記量子化手段をコンパレータとし、2 値または 3 値の量子化を行うことを特徴とする。

【 0 0 4 4 】

上記の構成によれば、前述のように前記量子化手段は低ビットであるので、構成の簡単なコンパレータで実現する。

【 0 0 4 5 】

さらにまた、本発明に係るフィルタ回路では、前記アナログ入力信号はスペクトラム拡散受信信号であり、前記係数は拡散符号であり、前記各演算手段は前記スペクトラム拡散受信信号と前記拡散符号との相関演算を行う相関演算器であり、スペクトラム拡散受信機に適用されて逆拡散を行うマッチトフィルタであることを特徴とする。

【 0 0 4 6 】

上記の構成によれば、一般に、ベースバンド処理をすべてデジタル処理にした場合、電力の多くはマッチトフィルタで消費されてしまうのに対して、前述のように構成していることによって、大部分の処理はアナログ処理となり、ベースバンド処理部における電力消費を大幅に削減することができるとともに、回路規模を小さくすることができる。

【 0 0 4 7 】

また、本発明に係るフィルタ回路では、前記演算手段の段数 M は、前記拡散符号の符号長 N の整数 ϕ 倍個分設けられていることを特徴とする。

【 0 0 4 8 】

上記の構成によれば、1 シンボル周期（拡散符号の 1 周期）の ϕ 倍で、前記相関出力を加算平均することができ、相関値の演算精度が良くなり、スペクトラム拡散通信における同期を、精度良く、かつ迅速に補足することができる。

【 0 0 4 9 】

さらにまた、本発明に係るフィルタ回路では、前記演算手段の段数 M は、 I 成分用と Q 成分用とのそれぞれに対して前記拡散符号の符号長 N 個分、すなわち $2N$ 個分設けられており、さらに振幅計算部を備えていることを特徴とする。

【0050】

上記の構成によれば、スペクトラム拡散受信信号の同相成分（ I 成分）と直交成分（ Q 成分）とのそれぞれと、前記拡散符号との相関演算を行い、その演算結果を、振幅計算部において、たとえば2乗和の平方根またはその近似値によって振幅値を計算することによって、複素マッチトフィルタを実現することができる。

【0051】

したがって、このマッチトフィルタを含んだベースバンド処理部は、2系統のデータ列を同時に復調することができ、情報の伝送効率が良くなる。また、 I 成分と Q 成分との拡散符号が同じ場合には、前記係数器を共通化することで、 I 成分用と Q 成分用との2個のマッチトフィルタを個別に作成する場合に比べて、電力消費、回路規模とも少なくすることができる。

【0052】

また、本発明に係るフィルタ回路では、前記 M 段の演算手段群が K 組設けられており、同一段の演算手段には相互に同一の拡散符号が設定され、各組の演算手段群には、チップ周期 T_c の $1/K$ だけ相互に位相がずれたクロック信号が与えられ、さらに各群の最終段の演算手段からの相関出力を、前記 T_c/K 毎に順次選択して出力するマルチプレクサを備えていることを特徴とする。

【0053】

上記の構成によれば、たとえば $K=2$ とすると、第1の系統の各演算手段と第2の系統の各演算手段とには、相互に位相が $T_c/2$ だけずれたクロック信号が与えられる。最終段の演算手段のうち、前記クロック信号によって、スペクトラム拡散受信信号がサンプリングされて相関値の演算されている系統側の演算手段からの相関値が、マルチプレクサで選択されて、前記相関出力として出力される。

【0054】

したがって、それぞれの演算手段が相関演算を行う周期を前記チップ周期 T_c 毎の低速度動作としても、1チップ周期 T_c の $1/K$ の時間間隔で、スペクトラム拡散受信信号のサンプリングが行われるので、時間的に細かく相関値の演算を行うことができる。

【0055】

さらにまた、本発明に係るフィルタ回路では、前記演算手段は、前記M段の各段毎にK個が縦続接続されて構成されており、各演算手段には、チップ周期 T_c の $1/K$ だけ相互に位相がずれたクロック信号が与えられることを特徴とする。

【0056】

上記の構成によれば、たとえば $K=2$ とすると、同一の拡散符号を使用するM段の各段毎に2つの演算手段は、相互に位相が $T_c/2$ だけずれたクロック信号に応答して、スペクトラム拡散受信信号をサンプリングして相関値の演算を交互に行う。

【0057】

したがって、上記の構成に比べて、前記マルチプレクサを用いることなく、上記の構成と同様に、それぞれの演算手段が相関演算を行う周期を前記チップ周期 T_c 毎の低速度動作としても、1チップ周期 T_c の $1/K$ の時間間隔で、スペクトラム拡散受信信号のサンプリングが行われるので、時間的に細かく相関値の演算を行うことができるとともに、たとえば $K=2$ の場合にはデジタル加算値が1ビット、 $K=4$ の場合には2ビット増加し、スペクトラム拡散受信信号の同期を精度良く補足することができる。

【0058】

また、本発明に係るフィルタ回路は、前記係数を総て「1」として、アナログ入力信号の移動平均のアナログ／デジタル変換値を求めることを特徴とする。

【0059】

上記の構成によれば、マッチトフィルタが同期補足を行っていない空き時間に、係数を総て「1」に切換えることによって、最終段の第2の加算手段からの出力がアナログ入力信号の移動平均値のアナログ／デジタル変換値を示すので、他の構成を全く変更することなく、該移動平均値のアナログ／デジタル変換値を求

めることもできる。

【0060】

さらにまた、本発明に係るフィルタ回路は、前記複数段のユニット回路の縦続接続が部分的に複数列形成され、その複数列間の相互に対応する段のユニット回路内の演算手段は相互に同一のサンプリングタイミングでのアナログ入力信号を演算に用い、前記相互に対応する段の係数の加算値が、その段に所望とすべき係数値となるように各並列ユニット回路間で分割されて設定されることを特徴とする。

【0061】

上記の構成によれば、比較的大きい係数値が設定される段では、ユニット回路は複数個並列構成とされて、その段に所望とすべき係数値がそれらの各並列ユニット回路間で分割される。

【0062】

したがって、各ユニット回路内で、その段でのアナログ演算結果と前段からのアナログ残差とを加算する加算器のダイナミックレンジを小さくすることができる。たとえば、ダイナミックレンジが3の加算器は、ダイナミックレンジが1の加算器に比べて、3～5倍の電力を消費するので、単一の加算器を用いる場合に比べて、分割した並列ユニット回路内の加算器の電力消費の和は小さくすることができる。

【0063】

また、本発明に係るフィルタ回路は、一方の列の演算結果を他方の列に合流させるにあたって、前記他方の列では、前記アナログ入力信号に対する乗算係数が0であるユニット回路を用い、該ユニット回路における乗算係数を1として、前記一方の列のアナログ残差を前記アナログ入力信号に代えて入力し、前段からのアナログ残差に加算することを特徴とする。

【0064】

上記の構成によれば、一方の列の演算結果を他方の列に合流させるにあたって、アナログ入力信号に対する乗算係数が0のユニット回路は、如何なるアナログ入力信号が入力されても、その乗算結果は0であるので、該乗算係数が0である

ユニット回路を用いる。ここで、前記一方の列のユニット回路の縦続接続が終了した次の段に、対応して他方の列に乗算係数が0であるユニット回路がない場合は、たとえば遅延器の縦続接続などによって、前記乗算係数が0であるさらに後段側のユニット回路を用いる。そして、前記乗算係数を1として、前記一方の列のアナログ残差を前記アナログ入力信号に代えて入力する。

【 0 0 6 5 】

したがって、合流される側のユニット回路の加算器では、本来、その段での乗算結果と、前段からのアナログ残差と、合流させるアナログ残差とを相互に加算する必要があり、他の段の加算器と同等のダイナミックレンジではオーバーフローを生じる虞があるのに対して、乗算係数が0であるユニット回路の加算器では、前段からのアナログ残差と、合流させるアナログ残差とを相互に加算するだけでよく、通常のユニット回路と同様に、前記オーバーフローの虞れをなくすことができる。

【 0 0 6 6 】

さらにまた、本発明に係るフィルタ回路では、前記アナログ入力信号は通信用受信機の受信信号または周波数変換された信号であり、前記係数は帯域制限フィルタの特性を決定する係数であり、前記各演算手段は前記通信用受信機の受信信号または周波数変換された信号と前記帯域制限フィルタの特性を決定する係数との相関演算を行う相関演算器であり、通信用受信機の受信系信号の変換部に適用される帯域制限フィルタであることを特徴とする。

【 0 0 6 7 】

上記の構成によれば、前記通信用受信機の受信系信号の変換部に適用される帯域制限フィルタでは、前記のような比較的大きい係数値を用いる必要があり、また前記ユニット回路の段数は10～20程度である。

【 0 0 6 8 】

したがって、並列構成とすべき段が比較的前段側で、かつ縦続接続されるユニット回路の一部を前記合流のための特殊な構造にする必要がないように、ユニット回路の段数が最大の列の最後段のユニット回路の後方で合流を行う場合にも、並列回路側に設ける前記遅延器などは比較的少なくすみ、好適である。

【 0 0 6 9 】

【発明の実施の形態】

本発明の実施の第 1 の形態について、図 1 に基づいて説明すれば、以下のとおりである。

【 0 0 7 0 】

図 1 は、本発明の実施の第 1 の形態の F I R フィルタの電氣的構成を示すブロック図である。この F I R フィルタは、前記図 1 0 で示すフィルタではなく、図 1 1 で示すフィルタを基本構成としており、N 段の相関演算ユニット F_j ($j = 1, 2, \dots, N$ 、総称するときは添字 j は省略する。以下同じ。) が縦続接続されて構成されている。チップ周期 T_c でサンプリングされたタイミング m でのアナログ入力信号 S_m は、総ての相関演算ユニット F に共通に入力される。

【 0 0 7 1 】

各相関演算ユニット F_j は、演算手段を構成する乗算器 M_j および係数器 A_j と、第 1 の加算手段である加算器 K_{1j} と、量子化手段である量子化器 Q_j と、第 1 の遅延手段である遅延器 D_{1j} と、第 2 の遅延手段である遅延器 D_{2j} と、デジタル／アナログ変換手段であるデジタル／アナログ変換器 C_j と、第 2 の加算手段である加算器 K_{2j} と、第 3 の遅延手段である遅延器 D_{3j} と、第 3 の加算手段である加算器 K_{3j} とを備えて構成されている。

【 0 0 7 2 】

なお、最終段の相関演算ユニット F_N では、遅延器 D_{1N} 、 D_{2N} およびデジタル／アナログ変換器 C_N は、省略されてもよく、この図 1 は、設計の簡略化などのために、総ての相関演算ユニット F を同一構成とした例を示している。

【 0 0 7 3 】

各乗算器 M_j は、対応する係数器 A_j に予め設定されている係数 a_j と前記アナログ入力信号 S_m とを相互に乗算し、その乗算結果は、加算器 K_{1j} において、前段の相関演算ユニット F_{j-1} における後述するアナログ残差信号と相互に加算されて、量子化器 Q_j で量子化される。なお、第 1 段目の相関演算ユニット F_1 における加算器 K_{11} に入力されるアナログ残差信号は、基準電圧 V_{ref} (図 1 の例では接地レベル) となっている。

【 0 0 7 4 】

量子化器Qは、予め設定された基準レベルとアナログ加算値との大小を比較する1ビット出力のコンパレータで実現することができる。また、前記量子化器Qは、前記基準レベルを+側と-側とにそれぞれ設定する3値出力のコンパレータなどであってもよく、このように低ビット出力で、低消費電力の量子化器である。

【 0 0 7 5 】

量子化器Q_jでの量子化結果は、カウンタなどで実現される加算器K_{2j}において、前段の相関演算ユニットF_{j-1}の加算器K_{2j-1}からの量子化結果と相互に加算され、遅延器D_{3j}において前記チップ周期T_cだけ遅延された後、次段の相関演算ユニットF_{j+1}の加算器K_{2j+1}に出力される。

【 0 0 7 6 】

前記量子化器Qが前述のように3値出力の比較器である場合、加算器K₂は、up/downカウンタで実現することができる。その場合、前記量子化器Qの出力が、「+1」であるときにはカウント値をインクリメントし、「-1」であるときにはカウント値をデクリメントし、「0」であるときにはカウント動作を行わない。

【 0 0 7 7 】

また、前記量子化器Q_jでの量子化結果は、遅延器D_{2j}において前記チップ周期T_cだけ遅延された後、デジタル/アナログ変換器C_jに入力されてアナログ信号に変換され、加算器K_{3j}において、遅延器D_{1j}で遅延された前記加算器K_{1j}の出力から減算され、次段の相関演算ユニットF_{j+1}への前記アナログ残差信号が作成される。

【 0 0 7 8 】

このように構成することによって、遅延器D_{3j}からのデジタル出力および加算器K_{3j}からのアナログ残差出力を合わせて考えると、時点m+1のアナログ入力信号S_{m+1}に対して、第1段目の相関演算ユニットF₁は、(S_{m+1} * a₁)の部分相関値を出力する。時点m+2においては、時点m+1で出力された第1段目の相関演算ユニットF₁での部分相関値は第2段目の相関演算ユニッ

ト F 2 に転送され、アナログ入力信号 S_{m+2} に対して該第 2 段目の相関演算ユニット F 2 は、 $(S_{m+1} * a_1) + (S_{m+2} * a_2)$ となる部分相関値の累算値を出力する。同時に第 1 段目の相関演算ユニット F 1 は、 $(S_{m+2} * a_1)$ の部分相関値を出力する。

【 0 0 7 9 】

時点 $m+N-1$ においては、時点 $m+N-2$ で出力された部分相関値の累算値が最終の第 N 段目の相関演算ユニット F N に転送され、該相関演算ユニット F N は、 $(S_{m+1} * a_1) + (S_{m+2} * a_2) + \dots + (S_{m+N-1} * a_N)$ の累算値を出力する。同時に、第 1 段目の相関演算ユニット F 1 は、 $(S_{m+N-1} * a_1)$ の部分相関値を出力し、第 2 段目の相関演算ユニット F 2 は、 $(S_{m+N-2} * a_1) + (S_{m+N-1} * a_2)$ の累算値を出力する。

【 0 0 8 0 】

つまり、常に最終第 N 段目の相関演算ユニット F N のデジタル出力部分から、前記チップ周期 T_c 毎に、相関出力 O_m が出力される。

【 0 0 8 1 】

以上のように構成することによって、アナログ加算器 K_{1j} のダイナミックレンジは、対応する各相関演算ユニット F j で求められる部分相関値と、前段の相関演算ユニット F j - 1 からの前記アナログ残差信号との加算値に対して飽和しないレベルであればよく、たとえば前記マッチトフィルタとして用いるように $N = 256$ 段や 512 段の多段構成としても、該加算器 K_1 の回路規模や電力消費を小さくできるとともに、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 0 8 2 】

本発明の実施の第 2 の形態について、図 2 に基づいて説明すれば、以下のとおりである。

【 0 0 8 3 】

図 2 は、本発明の実施の第 2 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 1 で示す F I R フィルタに類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目

すべきは、このマッチトフィルタでは、前記第 3 の加算手段である加算器 K_{3j-1} が、前記第 1 の加算手段である加算器 K_{1j} で共用されていることである。オペアンプなどを用いて実現されるアナログの加算器 K_{1j} は、3 以上の入力に対しても相互に加減算を行うことができ、アナログ信号である前記デジタル／アナログ変換器 C_{j-1} からの出力をこの加算器 K_{1j} で減算して、前記アナログ残差信号を求めることができる。

【0084】

また、スペクトラム拡散受信機に適用されて逆拡散を行うマッチトフィルタであるので、前記係数器 A_j は拡散符号生成手段となり、それぞれ拡散符号 P_j をストアしており、該拡散符号 P_j を前記乗算器 M_j にチップ周期 T_c 毎に出力する。前記拡散符号 P_j は、「+1」または「-1」の 2 値であり、これに対して前記係数 a_j は、多値であってもよい。前記拡散符号 P_j は、時間経過に係わりなく、固定値であるけれども、通信エリアなどに対応して複数種類設定可能とし、それらの 1 つを選択使用するようにしてもよい。

【0085】

さらにまた、前記アナログ入力信号 S_m はスペクトラム拡散受信信号 D_m となり、前記乗算器 M_j は前記スペクトラム拡散受信信号 D_m と前記拡散符号 P_j との相関演算を行う相関演算器となり、最終段の相関演算ユニット F_N からの相関出力 O_m は、相関信号 R_m となる。相関演算ユニット F_j の段数 N は、前記拡散符号 P_j の符号長の N 個分設けられている。

【0086】

このようにして、前記図 1 で示す加算器 K_1 の回路規模や電力消費を小さくすることができるとともに、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる F I R フィルタで、スペクトラム拡散受信機に適用されて逆拡散を行う基本的なマッチトフィルタを実現することができる。

【0087】

本発明の実施の第 3 の形態について、図 3 に基づいて説明すれば、以下のとおりである。

【 0 0 8 8 】

図 3 は、本発明の実施の第 3 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 2 で示すマッチトフィルタに類似し、対応する部分には、同一の参照符号を付して、その説明を省略する。注目すべきは、このマッチトフィルタでは、一部の相関演算ユニット F_i ($i = 2, 4, \dots, N-1$) で、量子化器 Q_i と、遅延器 D_{2i} と、デジタル／アナログ変換器 C_i と、加算器 K_{3i} とが省略されていることである。この図 3 の例では、1 段おき、すなわち相関演算ユニット F_j の段数 N に対して、 $N/2$ 個が間引かれている。

【 0 0 8 9 】

間引かれている相関演算ユニット F_i では、乗算器 M_i が前記部分相関値を演算し、加算器 K_{1i} が前段の相関演算ユニット F_{i-1} からの前記アナログ残差信号との加算値を求め、その加算値が遅延器 D_{1i} において前記チップ周期 T_c だけ遅延された後出力されるとともに、前段の相関演算ユニット F_{i-1} における量子化結果が遅延器 D_{3i} において遅延されてスルー出力される。

【 0 0 9 0 】

前記間引きの度合いは、相関信号 R_m に必要な分解能に応じて決定することができ、前記 1 段おき、または 2 段おき等の等間隔であってもよく、また FIR フィルタで、係数器 A に設定されている係数 a が小さく、加算器 K_1 の飽和の虞が小さい場合などであってもよい。

【 0 0 9 1 】

このようにして、相関演算ユニット F_i では、構成を簡略化することができる。ただし、最終段の相関演算ユニット F_N の加算器 K_{2N} で求められる累算値の最大出力が、前記図 1 や図 2 で示すように間引きが行われない場合において N カウントであるとする、1 段おきに間引かれる場合には $N/2$ カウントとなり、2 段おきに間引かれる場合には $N/3$ カウントとなり、前記累算値の分解能が低くなる。したがって、要求される出力の分解能に合わせて、均等に間引くことによって、必要最小限の回路構成で、要求機能（分解能）を満足することができる。

【 0 0 9 2 】

本発明の実施の第 4 の形態について、図 4 に基づいて説明すれば、以下のとおりである。

【 0 0 9 3 】

図 4 は、本発明の実施の第 4 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 2 で示すマッチトフィルタに類似し、対応する部分には、同一の参照符号を付して、その説明を省略する。注目すべきは、このマッチトフィルタでは、 $H = N \times \phi$ (ϕ は 2 以上の整数) 個の相関演算ユニット F_h ($h = 1, 2, \dots, N-1, N, N+1, \dots, H-1, H$) が設けられている。前記拡散符号 P_n は、 ϕ 回繰返されることになり、係数器 A_h は、各相関演算ユニット F_h 毎に、すなわち H 個のタップ数だけ設けられてもよく、また各拡散符号 P_n 毎に 1 つ、すなわち ϕ 個の相関演算ユニットで共用されてもよい。

【 0 0 9 4 】

このマッチトフィルタでは、1 シンボル周期 (P_N 符号 1 周期) の ϕ 倍で、前記相関出力 R_m を加算平均することになる。すなわち、時点 $m+H$ においては、第 1 段目の相関演算ユニット F_1 は、 $(D_{m+H} * P_1)$ の部分相関値を出力し、第 2 段目の相関演算ユニット F_2 は、 $(D_{m+H-1} * P_1) + (D_{m+H} * P_2)$ の累算値を出力し、最終 H 段目の相関演算ユニット F_H は、 $(D_{m+1} * P_1) + (D_{m+2} * P_2) + \dots + (D_{m+N} * P_N) + (D_{m+N+1} * P_1) + \dots + (D_{m+H-1} * P_{N-1}) + (D_{m+H} * P_N)$ の累算値を出力する。

【 0 0 9 5 】

つまり、常に最終 H 段目の相関演算ユニット F_H のデジタル出力部分から、前記チップ周期 T_c 毎に、加算平均された相関出力 $R_{m_{AV}}$ が出力される。したがって、相関値の演算精度が良くなり、スペクトラム拡散通信における同期を、精度良く、かつ迅速に補足することができる。

【 0 0 9 6 】

図 5 は、本発明の実施の第 5 の形態のマッチトフィルタの電氣的構成を示すブ

ロック図である。このマッチトフィルタは、前述の図 2 で示すマッチトフィルタに類似し、対応する部分には、同一の参照符号を付して、その説明を省略する。注目すべきは、このマッチトフィルタでは、相関演算ユニットは、前述と同様に参照符 F_j で示す第 1 の系統と、添字 a を付して示す第 2 の系統との 2 系統設けられて、2 倍のオーバーサンプリングを行うことである。第 2 の系統の構成は第 1 の系統と同一に構成されており、第 2 の系統の各相関演算ユニット $F_j a$ 内の構成要素には、第 1 の系統の対応する相関演算ユニット F_j 内の構成要素と同一の参照符号に、前記添字 a を付して示す。ただし、オーバーサンプリングの倍数 K は、この図 5 の例の 2 に限らず、他の値であってもよいことは言うまでもない。

【 0 0 9 7 】

係数器 A_j は、共通の拡散符号を用いる同じ段数の相関演算ユニット F_j , $F_j a$ 間で共用されている。また、第 1 の系統の各相関演算ユニット F_j と第 2 の系統の各相関演算ユニット $F_j a$ とには、相互に位相が T_c / K だけずれたクロック信号が与えられる。最終段の相関演算ユニット F_N , $F_N a$ のうち、前記クロック信号によって、スペクトラム拡散受信信号 D_m がサンプリングされて相関値の演算されている系統側の相関演算ユニットからの相関値が、マルチプレクサ SW で選択されて、前記相関信号 R_m として出力される。

【 0 0 9 8 】

このように構成することによって、それぞれの系統の相関演算ユニット F_j , $F_j a$ が相関演算を行う周期を前記チップ周期 T_c 毎の低速度動作としても、 K 倍のオーバーサンプリングによる高精度な演算結果を得ることができる。

【 0 0 9 9 】

本発明の実施の第 6 の形態について、図 6 に基づいて説明すれば、以下のとおりである。

【 0 1 0 0 】

図 6 は、本発明の実施の第 6 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 5 で示すマッチトフィルタに類似している。このマッチトフィルタでは、前記第 1 の系統の各相関演算ユニ

ット F_j には、スペクトラム拡散受信信号 D_m の I 信号成分 $D_m I$ が与えられ、これを参照符 $F_j I$ で示し、前記第 2 の系統の各相関演算ユニット $F_j a$ には、スペクトラム拡散受信信号 D_m の Q 信号成分 $D_m Q$ が与えられ、これを参照符 $F_j Q$ で示す。相関演算ユニット $F_j I$ 、 $F_j Q$ には、同一のクロック信号が与えられる。各系統の相関演算ユニット $F_j I$ 、 $F_j Q$ からの相関信号 $R_m I$ 、 $R_m Q$ は、振幅計算部 E において、2 乗和の平方根またはその近似値によって振幅値が計算され、その時点でのマッチトフィルタの振幅相関出力として、前記チップ周期 T_c 毎に出力される。

【0101】

このようにして、複素マッチトフィルタを実現することができる。

【0102】

この複素マッチトフィルタをオーバーサンプリング対応にするには、前記 I 信号成分 $D_m I$ の系統の相関演算ユニット $F_j I$ と、前記 Q 信号成分 $D_m Q$ の系統の相関演算ユニット $F_j Q$ とのそれぞれに、前記図 5 で示す手法を適用すればよい。

【0103】

本発明の実施の第 7 の形態について、図 7 に基づいて説明すれば、以下のとおりである。

【0104】

図 7 は、本発明の実施の第 7 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、 K （図 7 では $K=2$ ）倍のオーバーサンプリングを行うものであり、その基本構成は、前述の図 2 で示すマッチトフィルタに基づいている。各係数器 A_j は、前記チップ周期 T_c 毎に拡散符号 P_j を出力する。相関演算ユニットは $N \times K$ 個設けられており、各拡散符号 P_j 毎に、 F_{j1} 、 F_{j2} 、 \dots 、 F_{jK} となっており、それらが縦続接続されている。

【0105】

また、前記図 5 のマッチトフィルタと同様に、各相関演算ユニット F_{j1} 、 F_{j2} 、 \dots 、 F_{jK} には、相互に位相が T_c/K だけずれたクロック信号が与えられる。したがって、時点 m で相関演算ユニット F_{j1} が相関演算を行っている

すると、その時点 m から T_c/K だけ経過した時点 $m+1$ では相関演算ユニット F_{j2} が相関演算を行う…。

【0106】

このように構成することによって、前記マルチプレクサ SW を用いることなく、チップ周期 T_c の $1/K$ で、最終段の相関演算ユニット FN_K から、前記相関信号 R_m を出力することができる。また、オーバーサンプリングが加算されるので、たとえば $K=2$ の場合にはデジタル加算値が1ビット、 $K=4$ の場合には2ビット増加し、スペクトラム拡散受信信号の同期を精度良く補足することができる。

【0107】

本発明の実施の第8の形態について、図8に基づいて説明すれば、以下のとおりである。

【0108】

図8は、本発明の実施の第8の形態のマッチフィルタの電氣的構成を示すブロック図である。このマッチフィルタは、前述の図2で示すマッチフィルタに類似している。このマッチフィルタは、最終段の相関演算ユニット FN で残ったアナログ残差まで用いて、高精度な相関信号 R_m を求めるものである。

【0109】

前記最終段の相関演算ユニット FN のデジタル／アナログ変換器 CN からの出力は、第4の加算手段である加算器 K_0 において、該相関演算ユニット FN の遅延器 D_{1N} を介する部分相関値から減算された後、アナログ／デジタル変換手段である高分解能のアナログ／デジタル変換器 C_0 においてアナログ／デジタル変換される。したがって、前記最終段の相関演算ユニット FN の遅延器 D_{3N} からの上位ビットの相関出力 R_{m1} と、前記アナログ／デジタル変換器 C_0 からの下位ビットの相関出力 R_{m2} とが前記相関出力 R_m となる。このようにして、高精度な相関出力 R_m を得ることができる。

【0110】

本発明の実施の第9の形態について、図9に基づいて説明すれば、以下のとおりである。

【 0 1 1 1 】

図 9 は、本発明の実施の第 9 の形態のマッチトフィルタの電氣的構成を示すブロック図である。このマッチトフィルタは、前述の図 2 で示すマッチトフィルタに基づいている。このマッチトフィルタは、DC オフセットを補正するものである。

【 0 1 1 2 】

このため、各相関演算ユニット F_j の乗算器 M_j にスペクトラム拡散受信信号 D_m を供給する信号ラインには、第 1 の切換え手段であるマルチプレクサ G_1 が介在されており、最終段の相関演算ユニット F_N の遅延器 D_{3N} からの出力ラインにも、第 2 の切換え手段であるマルチプレクサ G_2 が介在されている。また、前記 DC オフセット分 ΔR_m をストアするメモリ G_3 と、前記遅延器 D_{3N} からの前記 DC オフセット分 ΔR_m を含む相関出力 R_m' から、前記 DC オフセット分 ΔR_m を減算する第 5 の加算手段である加算器 K_C とが設けられている。

【 0 1 1 3 】

動作は、マッチトフィルタの DC オフセットを測定するキャリブレーションモードと、相関出力を測定する相関演算モードとに分かれる。前記キャリブレーションモードでは、マルチプレクサ G_1 によって前記スペクトラム拡散受信信号 D_m に代えて基準電圧 V_{CAL} を乗算器 M_j の入力信号とした状態で相関演算を行い、その出力値を前記 DC オフセット分 ΔR_m として、マルチプレクサ G_2 を介してデジタルメモリ G_3 にストアする。理論的には、入力が前記基準電圧 V_{CAL} の場合の相関出力は 0 となるように設定されており、この場合の相関出力が前記 DC オフセット分 ΔR_m であるとみなせる。

【 0 1 1 4 】

相関演算モードでは、マルチプレクサ G_1 はスペクトラム拡散受信信号 D_m を乗算器 M_j の入力信号として相関演算を行い、その相関出力 R_m' がマルチプレクサ G_2 を介して加算器 K_C に与えられ、該加算器 K_C によって前記 DC オフセット分 ΔR_m を減算する。このようにして、DC オフセット分 ΔR_m を除去した高精度な相関出力 R_m を得ることができる。

【 0 1 1 5 】

なお、前記部分相関値を累算してゆく加算器 K 2 j は総てが同一の構成でなくともよく、たとえば N = 2 5 6 とすると、加算器 K 2 1 は 1 ビットカウンタ、加算器 K 2 2, K 2 3 は 2 ビットカウンタ、加算器 K 2 4 ~ K 2 7 は 3 ビットカウンタ、加算器 K 2 8 ~ K 2 1 5 は 4 ビットカウンタ、加算器 K 2 1 6 ~ K 2 3 1 は 5 ビットカウンタ、加算器 K 2 3 2 ~ K 2 6 3 は 6 ビットカウンタ、加算器 K 2 6 4 ~ K 2 1 2 7 は 7 ビットカウンタ、加算器 K 2 1 2 8 ~ K 2 2 5 5 は 8 ビットカウンタ、加算器 K 2 2 5 6 は 9 ビットカウンタとする。

【 0 1 1 6 】

このように構成した場合、必要なフリップフロップの総数は、

$$(1 \text{ bit} + 2 \times 2 \text{ bit} + 4 \times 3 \text{ bit} + 8 \times 4 \text{ bit} + 16 \times 5 \text{ bit} + 32 \times 6 \text{ bit} + 64 \times 7 \text{ bit} + 128 \times 8 \text{ bit} + 9 \text{ bit}) \times 2 = 3604$$

とすることができるのに対して、総ての加算器 K 2 1 ~ K 2 2 5 6 を 9 ビットカウンタで構成した場合、必要なフリップフロップの総数が、

$$(256 \times 9 \text{ bit}) \times 2 = 4608$$

であるので、フリップフロップの総数を 22% 削減することができる。

【 0 1 1 7 】

また、上記図 2 ~ 図 9 のマッチトフィルタの構成において、該マッチトフィルタが同期補足を行っていない空き時間に、総ての係数器 A 1 ~ A N に「1」を設定することによって、時点 m + N - 1 での相関出力 R m として、(S m + 1 + S m + 2 + ... + S m + N - 1) を出力する。すなわち、前記チップ周期 T c 毎に、N 個のサンプリング値の移動平均されたアナログ/デジタル変換値を出力することもできる。

【 0 1 1 8 】

本発明の実施の第 10 の形態について、図 10 ~ 図 12 に基づいて説明すれば、以下のとおりである。

【 0 1 1 9 】

図 10 は、本発明の実施の第 10 の形態の F I R フィルタの電氣的構成を示すブロック図である。この F I R フィルタは、通信用受信機の受信系信号の変換部

に適用される帯域制限フィルタとして用いられ、相関演算ユニット F の段数は 10 ～ 20 程度である。なお、図 10 では、図面の簡略化のために、各相関演算ユニット F は、演算手段を構成する乗算器 M および係数器 A と、第 2 の加算手段である加算器 K 2 と、第 3 の遅延手段である遅延器 D 3 とで代表して示している。

【 0 1 2 0 】

注目すべきは、この F I R フィルタでは、複数 j (図 10 では 8) 段の相関演算ユニット F_j の縦続接続が、部分的に複数 (図 10 では 3) 列形成されることである。本来、この F I R フィルタでは、前記帯域制限フィルタを実現するにあたって、図 11 で示すように、第 1 段目の相関演算ユニット F_1 から、最終第 8 段目の相関演算ユニット F_8 までの直列回路で、相関演算ユニット $F_4 \sim F_6$ には係数「3」を設定する必要があるのに対して、相関演算ユニット F_4 と並列に F_{41} , F_{42} 、相関演算ユニット F_5 と並列に F_{51} , F_{52} 、相関演算ユニット F_6 と並列に F_{61} , F_{62} を設け、それらの総ての係数を「1」としている。すなわち、相互に対応する段の係数の加算値が、その段に所望とすべき係数値となるように、並列の各相関演算ユニット F_4 , F_{41} , F_{42} ; F_5 , F_{51} , F_{52} ; F_6 , F_{61} , F_{62} 間で分割されている。

【 0 1 2 1 】

追加された前記各相関演算ユニット F_{41} , F_{42} ; F_{51} , F_{52} ; F_{61} , F_{62} にも、前記相関演算ユニット $F_1 \sim F_8$ と同様に、アナログ入力信号 S_m が与えられる。そのアナログ入力信号 S_m を、相関演算ユニット F_{41} , F_{42} は F_4 と、相関演算ユニット F_{51} , F_{52} は F_5 と、相関演算ユニット F_{61} , F_{62} は F_6 と、それぞれ同一のサンプリングタイミングで取込み、演算を行う。

【 0 1 2 2 】

ユニット F_{71} , F_9 は、分割した並列回路の演算結果を合流させるために設けられており、またユニット F_{81} は、タイミング合わせのために設けられている。すなわち、前記ユニット F_{81} は、前記タイミング合わせのための遅延器 D_{381} から構成され、前記ユニット F_9 は、前記ユニット F_{81} の遅延器 D_{381} からのデジタル出力と、前段の相関演算ユニット F_8 からのデジタル出力とを

加算する加算器 K 9 と、遅延器 D 3 9 とを備えて構成されている。

【 0 1 2 3 】

図 1 2 は、前記ユニット F 7 1 の具体的な一構成例を示すブロック図である。相関演算ユニット F 6 2 は、残余の相関演算ユニット F 4 2, F 5 2 ; F 1 ~ F 8 等と同様に構成されており、遅延器 D 3 6 2 からのデジタル出力は、該ユニット F 7 1 において、前段の相関演算ユニット F 6 1 の遅延器 D 3 6 1 (図示せず)からのデジタル出力と量子化器 Q 7 1 の量子化結果とを加算する加算器 K 2 7 1 の前段に設けられた加算器 K 4 7 1 で、予め前記相関演算ユニット F 6 1 からのデジタル出力と加算された後、前記加算器 K 2 7 1 に入力される。

【 0 1 2 4 】

以上のように構成することによって、相関演算ユニット F 4 ~ F 6 内で、その段でのアナログ演算結果と前段からのアナログ残差とを加算する加算器 K 1 4 ~ K 1 6 のダイナミックレンジを小さくすることができる。すなわち、前記係数「3」に対して、前記加算器 K 1 4 ~ K 1 6 を残余の加算器 K 1 1 ~ K 1 3 ; K 1 7, K 1 8 と同様に構成すると、飽和してしまう虞がある。特に、相関演算ユニット F 4 よりも F 5、さらに F 6 というように、大きい係数が連続する場合に、その可能性が高くなる。このため、前記加算器 K 1 1 ~ K 1 3 ; K 1 7, K 1 8 のダイナミックレンジを 1 とすると、加算器 K 1 4 ~ K 1 6 のダイナミックレンジは 3 とする必要がある。

【 0 1 2 5 】

たとえば、ダイナミックレンジが 3 の加算器は、ダイナミックレンジが 1 の加算器に比べて、3 ~ 5 倍の電力を消費するので、単一の加算器 K 1 4 ~ K 1 6 を用いる場合に比べて、分割した並列の相関演算ユニット F 4 1 ~ F 6 1 ; F 4 2 ~ F 6 2 内の加算器 K 1 4 1 ~ K 1 6 1 ; K 1 4 2 ~ K 1 6 2 (K 1 4 1 ~ K 1 6 1 ; K 1 4 2 ~ K 1 5 2 は図示せず)と合わせても、電力消費の総計を小さくすることができる。したがって、大きな係数を扱う場合にも、上記のような並列回路構成とすることによって、電力消費を削減することができる。

【 0 1 2 6 】

係数には、前記「3」に限らず、残余の相関演算ユニット F 1 ~ F 3 ; F 7,

F 8 の係数よりも大きい任意の数を選ばれる。その場合、その係数を該相関演算ユニット F 1 ~ F 3 ; F 7, F 8 の係数で除算した値（余りがあるときには繰上げ）とすることによって、前記のように総ての相関演算ユニット F の加算器 K 1 のダイナミックレンジを小さく揃えることができる。

【 0 1 2 7 】

前記ユニット F 7 1 は、回路構成を規格化して設計を簡略化するために、前記加算器 K 4 7 1 を除いて、残余の相関演算ユニット F 1 ~ F 8 ; F 4 1 ~ F 6 1 等と同様に構成されているけれども、ユニット F 9 と同様に、加算器および遅延器から成る構成であってもよい。

【 0 1 2 8 】

本発明の実施の第 1 1 の形態について、図 1 3 および図 1 4 に基づいて説明すれば、以下のとおりである。

【 0 1 2 9 】

図 1 3 は、前記ユニット F 7 1 の他の構成例を示すブロック図である。相関演算ユニット F 6 2 の加算器 K 3 6 2 からのアナログ残差出力は、加算用の前記ユニット F 7 1 の乗算器 M 7 1 に入力される。入力されたアナログ残差は、係数器 A 7 1 に設定されている係数「1」と乗算された後、加算器 K 1 7 1 において、前段の相関演算ユニット F 6 1 からのアナログ残差出力に加算される。デジタル出力は、前記図 1 2 の構成と同様に、加算器 K 4 7 1 で加算される。前記ユニット F 9 も、このユニット F 7 1 と同様に、ユニット F 8 1 からのデジタル出力だけでなく、アナログ残差も加算するようにしてもよい。

【 0 1 3 0 】

また、図 1 4 は、前記ユニット F 7 1 のさらに他の構成例を示すブロック図である。前述の図 1 3 の構成に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。この例では、前記係数器 A 7 1 の係数が「1」であるので、前記乗算器 M 7 1 および係数器 A 7 1 が設けられておらず、前記相関演算ユニット F 6 2 の加算器 K 3 6 2 からのアナログ残差出力は、直接加算器 K 1 7 1 に入力される。

【 0 1 3 1 】

これら図 1 2～図 1 4 で示す構成は何れが選択されてもよく、加算器 K 1 7 1 のオーバフローの虞をなくし、該加算器 K 1 7 1 のダイナミックレンジを残余の加算器 K 1 1～K 1 8 等と等しくするのであれば前記図 1 2 で示す構成が選択され、前記オーバフローの可能性が少なく、アナログ残差まで考慮するのであれば前記図 1 3 または図 1 4 で示す構成が選択される。そして、図 1 3 の構成と図 1 4 の構成とは、回路構成を簡略化するのであれば図 1 4 の構成が選択され、回路構成を規格化して設計を簡略化するのであれば図 1 3 の構成が選択されればよい。

【 0 1 3 2 】

本発明の実施の第 1 2 の形態について、図 1 5 および図 1 6 に基づいて説明すれば、以下のとおりである。

【 0 1 3 3 】

図 1 5 は、本発明の実施の第 1 2 の形態の F I R フィルタの電氣的構成を示すブロック図であり、前述の図 1 0 の構成に類似し、対応する部分には同一の参照符号を付して示す。注目すべきは、この F I R フィルタでは、相関演算を行っている相関演算ユニット F a で合流が行われることである。この相関演算ユニット F a の係数は「1」であり、したがって相関演算ユニット F 7 は、本来、係数が「2」である。

【 0 1 3 4 】

図 1 6 は、前記相関演算ユニット F a の具体的な一構成例を示すブロック図である。この相関演算ユニット F a は、前述のユニット F 7 1 に類似している。該相関演算ユニット F a の加算器 K 1 7 1 a は、前段の相関演算ユニット F 6 1 の加算器 K 3 6 1（図示せず）からのアナログ残差出力と、乗算器 M 7 1 でのアナログ演算結果と、相関演算ユニット F 6 2 の加算器 K 3 6 2 からのアナログ残差出力とを相互に加算する。

【 0 1 3 5 】

以上のように構成することによって、前記マッチトフィルタのように縦続段数が比較的大きくなるフィルタにおいて、比較的前段側で大きな係数が必要となつて並列構成となつても、所望の段で合流させることができ、最終段まで遅延器を

接続してゆく必要はなく、回路構成を比較的小さくすることができる。

【0 1 3 6】

本発明の実施の第 1 3 の形態について、図 1 7 に基づいて説明すれば、以下のとおりである。

【0 1 3 7】

図 1 7 は、本発明の実施の第 1 3 の形態の F I R フィルタの電氣的構成を示すブロック図であり、前述の図 1 0 および図 1 5 の構成に類似し、対応する部分には同一の参照符号を付して示す。注目すべきは、この F I R フィルタでは、アナログ入力信号 S_m に対する乗算係数が 0 である相関演算ユニット F_b は、如何なるアナログ入力信号 S_m が入力されても、その乗算結果は 0 であるので、これを利用する。すなわち、該相関演算ユニット F_b における乗算係数を 1 として、他方の列のユニット F_{61} からのアナログ残差を前記アナログ入力信号 S_m に代えて入力し、前段からのアナログ残差に加算する。

【0 1 3 8】

該相関演算ユニット F_b には、前記図 1 3 または図 1 4 で示すユニット F_{71} を用いればよい。並列回路の最終段のユニット F_{61} の直後に、このような乗算係数が 0 である相関演算ユニットがない場合は、たとえば遅延器の縦続接続などによって、前記乗算係数が 0 であるさらに後段側の相関演算ユニットが用いられる。

【0 1 3 9】

以上のように構成することによって、合流される側の相関演算ユニット F_b の加算器 K_{171} では、本来、その段での乗算結果と、前段からのアナログ残差と、合流させるアナログ残差とを相互に加算する必要があるが、他の段の加算器と同等のダイナミックレンジではオーバーフローを生じる虞があるのに対して、乗算係数が 0 であるので、前段からのアナログ残差と、合流させるアナログ残差とを相互に加算するだけでよく、通常の相関演算ユニット $F_1 \sim F_6$, F_8 等と同様に、前記オーバーフローの虞れをなくすることができる。

【0 1 4 0】

【発明の効果】

本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、前記累算値が所定値より大きくなる最終段以外の任意の段のユニット回路で、前記累算値を低ビット量子化し、その量子化結果と、前記累算値から前記量子化結果のデジタル／アナログ変換値を減算した残差分のアナログ信号とを出力する。

【 0 1 4 1 】

それゆえ、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用いるように多段構成としても、該加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 1 4 2 】

さらにまた、本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算結果を順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、前記累算値が所定値より大きくなる最終段以外の任意の段のユニット回路からは、前記累算値を、該累算値を量子化した

デジタルデータと、該累算値から量子化結果のアナログ変換値を減算した残差分のアナログデータとの合算値で表す。

【 0 1 4 3 】

それゆえ、前記累算値を求める加算手段のダイナミックレンジは、各ユニット回路内で求められる部分相関値と、前段のユニット回路からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用いるように多段構成としても、該加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 1 4 4 】

また、本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算を行い、その演算結果をチップ周期で順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段で求められる演算結果の累算値が所定値より大きくなる任意の段および最終段で、前記累算値を量子化手段で低ビット量子化し、後段側へは、その量子化結果を第 2 の加算手段で加算して出力するとともに、第 3 の加算手段で前記累算値から前記量子化結果のデジタル／アナログ変換値を減算し、その残差分のアナログ信号を出力する。

【 0 1 4 5 】

それゆえ、第 1 の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段の第 3 の加算手段からの前記残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用い

るように多段構成としても、該第 1 の加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 1 4 6 】

さらにまた、本発明に係るフィルタ回路は、以上のように、複数段のユニット回路が相互に縦続接続され、各ユニット回路内の演算手段が同一サンプリングタイミングでのアナログ入力信号と該各演算手段毎に予め設定されている係数との演算を行い、その演算結果をチップ周期で順次後段側のユニット回路へ転送して、その段での演算結果と相互に加算することによって、最終段のユニット回路からは、総ての係数とその係数個分の連続する時系列アナログサンプリング信号との演算結果の累算値が求められるようにし、その累算値をデジタルデータに変換して出力するようにしたフィルタ回路において、前記係数値などから、自段における演算結果を、転送されてきた前段の出力と相互に加算する第 1 の加算手段で求められる演算結果の累算値が所定値より大きくなる任意の段および最終段で、前記累算値を量子化手段で低ビット量子化し、後段側へは、その量子化結果を第 2 の加算手段で加算して出力するとともに、前記第 1 の加算手段からのアナログ信号と、デジタル／アナログ変換手段によって求めた前記量子化結果のアナログ変換値とを出力し、次段の第 1 の加算手段で減算させる。

【 0 1 4 7 】

それゆえ、第 1 の加算手段のダイナミックレンジは、対応する演算手段で求められる部分相関値と、前段のユニット回路からの残差分のアナログ信号との加算値に対して飽和しないレベルであればよく、マッチトフィルタとして用いるように多段構成としても、該第 1 の加算手段の回路規模や電力消費を小さくすることができるとともに、高分解能で、高速なアナログ／デジタル変換器を使用しなくても、部分相関値の累算値を高精度に、かつ後続回路での処理の簡単なデジタル出力で得ることができる。

【 0 1 4 8 】

また、本発明に係るフィルタ回路は、以上のように、前記任意の段を予め定め

る段数おきの段として、前記低ビット量子化による部分相関値を演算する構成を総ての段のユニット回路に設けるのではなく、等間隔に間引いて設ける。

【 0 1 4 9 】

それゆえ、アナログ計算量が偏らないようにして、要求分解能を満足しつつ、必要最小限の構成で、低消費電力に、相関値の演算を行うことができる。

【 0 1 5 0 】

さらにまた、本発明に係るフィルタ回路は、以上のように、最終段の演算手段で量子化できなかったアナログ残差を、高分解能のアナログ／デジタル変換手段によってデジタル変換し、相関出力の一部として用いる。

【 0 1 5 1 】

それゆえ、前記最終段のユニット回路の第 2 の加算手段からの上位ビットの相関出力と、前記アナログ／デジタル変換手段からの下位ビットの相関出力とを合わせて実際の相関出力を形成するので、高精度な相関出力を得ることができる。

【 0 1 5 2 】

また、本発明に係るフィルタ回路は、以上のように、キャリブレーションモード時に、アナログ入力信号に代えて基準電圧を入力し、現れた DC オフセット分をメモリにストアしておき、相関演算モード時には、前記メモリにストアされている前記 DC オフセット分を最終段の演算手段の相関出力から減算してオフセット補正を行う。

【 0 1 5 3 】

それゆえ、前記 DC オフセット分を除去した高精度な相関出力を得ることができる。

【 0 1 5 4 】

さらにまた、本発明に係るフィルタ回路は、以上のように、前段側の演算手段での量子化結果にその段における量子化結果を加算するカウント動作を行う第 2 の加算手段において、カウント値の小さい初段側のビット数を小さく、最終段側となるにつれて大きく設定する。

【 0 1 5 5 】

それゆえ、前記第 2 の加算手段は必要なビット数のみの構成となり、フリップ

フロップの回路規模を最小限にすることができる。

【0156】

また、本発明に係るフィルタ回路は、以上のように、前記量子化手段をコンパレータとし、2値または3値の量子化を行う。

【0157】

それゆえ、低ビットの前記量子化手段の構成を、簡単にすることができる。

【0158】

さらにまた、本発明に係るフィルタ回路は、以上のように、前記アナログ入力信号をスペクトラム拡散受信信号とし、前記係数を拡散符号とし、前記各演算手段を前記スペクトラム拡散受信信号と前記拡散符号との相関演算を行う相関演算器としたマッチトフィルタとする。

【0159】

それゆえ、前述のように構成していることによって、大部分の処理がアナログ処理となり、マッチトフィルタとして、ベースバンド処理部における電力消費を大幅に削減することができるとともに、回路規模を小さくすることができる。

【0160】

また、本発明に係るフィルタ回路は、以上のように、前記演算手段の段数 M を、前記拡散符号の符号長 N の整数 ϕ 倍とする。

【0161】

それゆえ、1シンボル周期（拡散符号の1周期）の ϕ 倍で、前記相関出力を加算平均することができ、相関値の演算精度が良くなり、スペクトラム拡散通信における同期を、精度良く、かつ迅速に補足することができる。

【0162】

さらにまた、本発明に係るフィルタ回路は、以上のように、前記演算手段を、I成分用とQ成分用とのそれぞれに対して前記拡散符号の符号長 N 個ずつ備え、スペクトラム拡散受信信号の同相成分（I成分）と直交成分（Q成分）とのそれぞれと前記拡散符号との相関演算を行い、その演算結果を振幅計算部において振幅値に計算し、複素マッチトフィルタを実現する。

【0163】

それゆえ、2系統のデータ列を同時に復調することができ、情報の伝送効率を良くすることができる。またI成分とQ成分との拡散符号が同じ場合には、前記係数器を共通化することで、I成分用とQ成分用との2個のマッチトフィルタを個別に作成する場合に比べて、電力消費、回路規模とも少なくすることができる。

【0164】

また、本発明に係るフィルタ回路は、以上のように、M段の演算手段群をK組設け、同一段の演算手段には相互に同一の拡散符号を設定し、各組の演算手段群をチップ周期 T_c の $1/K$ だけ相互に位相がずれたクロック信号で駆動して、各群の最終段の演算手段からの相関出力を、マルチプレクサで前記 T_c/K 毎に順次選択して出力することでK倍のオーバーサンプリングを実現する。

【0165】

それゆえ、それぞれの演算手段が相関演算を行う周期を前記チップ周期 T_c 毎の低速度動作としても、時間的に細かく相関値の演算を行うことができ、スペクトラム拡散受信信号の同期を精度良く補足することができる。

【0166】

さらにまた、本発明に係るフィルタ回路は、以上のように、前記演算手段を、前記M段の各段毎にK個を縦続接続して構成し、各演算手段を、チップ周期 T_c の $1/K$ だけ相互に位相がずれたクロック信号で駆動することによって、K倍のオーバーサンプリングを実現する。

【0167】

それゆえ、上記の構成に比べて、前記マルチプレクサを用いることなく、時間的に細かく相関値の演算を行うことができるとともに、デジタル加算値のビット数が増加し、スペクトラム拡散受信信号の同期を精度良く補足することができる。

【0168】

また、本発明に係るフィルタ回路は、以上のように、マッチトフィルタが同期補足を行っていない空き時間に、係数を総て「1」として、アナログ入力信号の移動平均のアナログ/デジタル変換値を求める。

【 0 1 6 9 】

それゆえ、他の構成を全く変更することなく、該移動平均値のアナログ／デジタル変換値を求めることもできる。

【 0 1 7 0 】

さらにまた、本発明に係るフィルタ回路は、以上のように、比較的大きい係数値が設定される段では、ユニット回路を複数個並列構成とし、その段に所望とすべき係数値をそれらの各並列ユニット回路間で分割する。

【 0 1 7 1 】

それゆえ、各ユニット回路内で、その段でのアナログ演算結果と前段からのアナログ残差とを加算する加算器のダイナミックレンジを小さくすることができ、単一の加算器を用いる場合に比べて、分割した並列ユニット回路内の加算器の電力消費の和を小さくすることができる。

【 0 1 7 2 】

また、本発明に係るフィルタ回路は、以上のように、一方の列の演算結果を他方の列に合流させるにあたって、アナログ入力信号に対する乗算係数が 0 のユニット回路を用い、前記乗算係数を 1 として、前記一方の列のアナログ残差を前記アナログ入力信号に代えて入力する。

【 0 1 7 3 】

それゆえ、合流される側のユニット回路の加算器は、前段からのアナログ残差と、合流させるアナログ残差とを相互に加算するだけでよく、通常のユニット回路の加算器と同様に、オーバーフローの虞れをなくすることができる。

【 0 1 7 4 】

さらにまた、本発明に係るフィルタ回路は、以上のように、比較的大きい係数値を用いる必要があり、また前記ユニット回路の段数が 1 0 ～ 2 0 程度である通信用受信機の受信系信号の変換部に適用される。

【 0 1 7 5 】

それゆえ、並列構成とすべき段が比較的前段側で、かつ縦続接続されるユニット回路の一部を前記合流のための特殊な構造にする必要がないように、ユニット回路の段数が最大の列の最後段のユニット回路の後方で合流を行う場合にも、並

列回路側に設ける遅延器などは比較的少なくすみ、好適である。

【図面の簡単な説明】

【図 1】

本発明の実施の第 1 の形態の F I R フィルタの電氣的構成を示すブロック図である。

【図 2】

本発明の実施の第 2 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 3】

本発明の実施の第 3 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 4】

本発明の実施の第 4 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 5】

本発明の実施の第 5 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 6】

本発明の実施の第 6 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 7】

本発明の実施の第 7 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 8】

本発明の実施の第 8 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 9】

本発明の実施の第 9 の形態のマッチトフィルタの電氣的構成を示すブロック図である。

【図 1 0】

本発明の実施の第 1 0 の形態の F I R フィルタの電氣的構成を示すブロック図である。

【図 1 1】

図 1 0 で示す F I R フィルタの原型構成を示すブロック図である。

【図 1 2】

図 1 0 で示す F I R フィルタにおけるユニットの具体的な一構成例を示すブロック図である。

【図 1 3】

本発明の実施の第 1 1 の形態のユニットの他の構成例を示すブロック図である。

【図 1 4】

図 1 3 で示すユニットのさらに他の構成例を示すブロック図である。

【図 1 5】

本発明の実施の第 1 2 の形態の F I R フィルタの電氣的構成を示すブロック図である。

【図 1 6】

図 1 5 で示す F I R フィルタにおける相関演算ユニットの具体的な一構成例を示すブロック図である。

【図 1 7】

本発明の実施の第 1 3 の形態の F I R フィルタの電氣的構成を示すブロック図である。

【図 1 8】

典型的な従来技術のマッチトフィルタの電氣的構成を示すブロック図である。

【図 1 9】

他の従来技術のマッチトフィルタの電氣的構成を示すブロック図である。

【符号の説明】

A 1 ～ A N 係数器

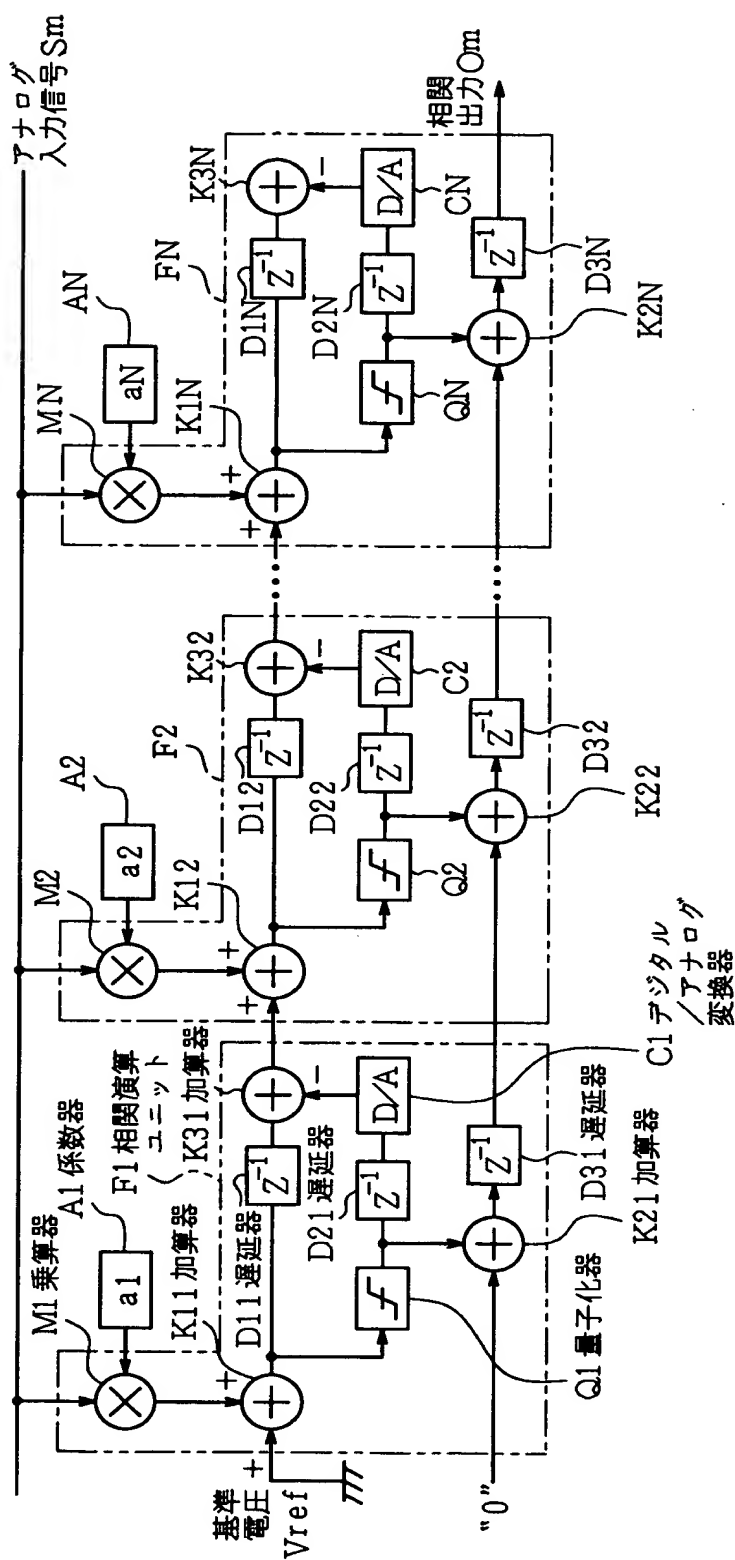
A H 係数器

A 1 a ~ A N a	係数器
C 0	アナログ／デジタル変換器（アナログ／デジタル変換手段）
C 1 ~ C N	デジタル／アナログ変換器（デジタル／アナログ変換手段）
C H	デジタル／アナログ変換器（デジタル／アナログ変換手段）
C 1 a ~ C N a	デジタル／アナログ変換器（デジタル／アナログ変換手段）
D 1 1 ~ D 1 N	遅延器
D 1 H	遅延器
D 1 1 a ~ D 1 N a	遅延器
D 2 1 ~ D 2 N	遅延器
D 2 H	遅延器
D 2 1 a ~ D 2 N a	遅延器
D 3 1 ~ D 3 N	遅延器
D 3 H	遅延器
D 3 1 a ~ D 3 N a	遅延器
E	振幅計算部
F 1 ~ F N	相関演算ユニット（ユニット回路）
F H	相関演算ユニット（ユニット回路）
F 2 a, F 4 a, ..., F N - 1 a	相関演算ユニット（ユニット回路）
F 1 a ~ F N a	相関演算ユニット（ユニット回路）
F 1 I ~ F N I ; F 1 Q ~ F N Q	相関演算ユニット（ユニット回路）
F 1 1, F 1 2, F 2 1, F 2 2, F N 1, F N 2	相関演算ユニット（ユニット回路）
F 4 1, F 4 2 ; F 5 1, F 5 2 ; F 6 1, F 6 2	相関演算ユニット（ユニット回路）
F 9 ; F 7 1, F 7 a, F 7 b ; F 8 1	ユニット
G 1	マルチプレクサ（第 1 の切換え手段）
G 2	マルチプレクサ（第 2 の切換え手段）

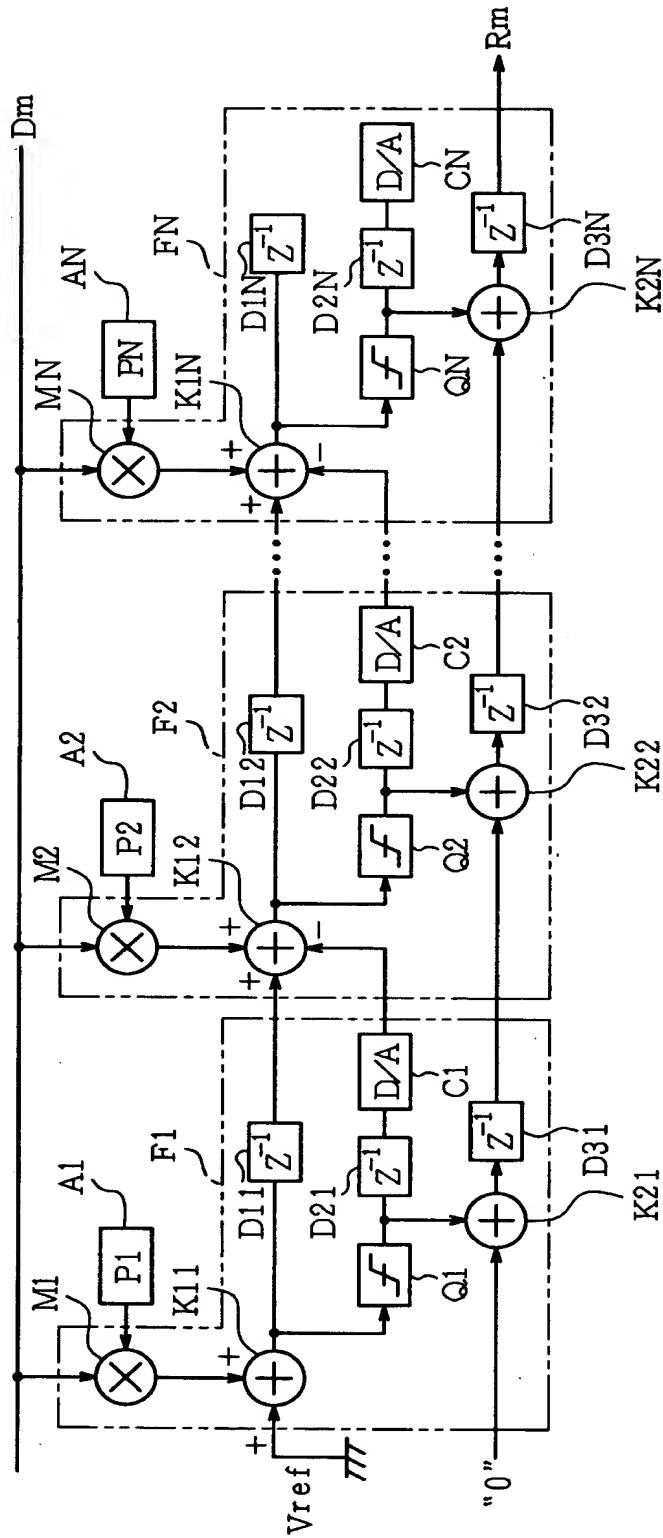
G 3	メモリ
K 0	加算器 (第 4 の加算手段)
K 1 1 ~ K 1 N	加算器 (第 1 の加算手段)
K 1 H	加算器 (第 1 の加算手段)
K 1 1 a ~ K 1 N a	加算器 (第 1 の加算手段)
K 2 1 ~ K 2 N	加算器 (第 2 の加算手段)
K 2 H	加算器 (第 2 の加算手段)
K 2 1 a ~ K 2 N a	加算器 (第 2 の加算手段)
K 3 1 ~ K 3 N	加算器 (第 3 の加算手段)
K C	加算器 (第 5 の加算手段)
M 1 ~ M N	乗算器 (演算手段)
M 1 a ~ M N a	乗算器 (演算手段)
Q 1 ~ Q N	量子化器 (量子化手段)
Q N + 1 , Q H	量子化器 (量子化手段)
Q 1 a ~ Q N a	量子化器 (量子化手段)
S W	マルチプレクサ

【書類名】 図面

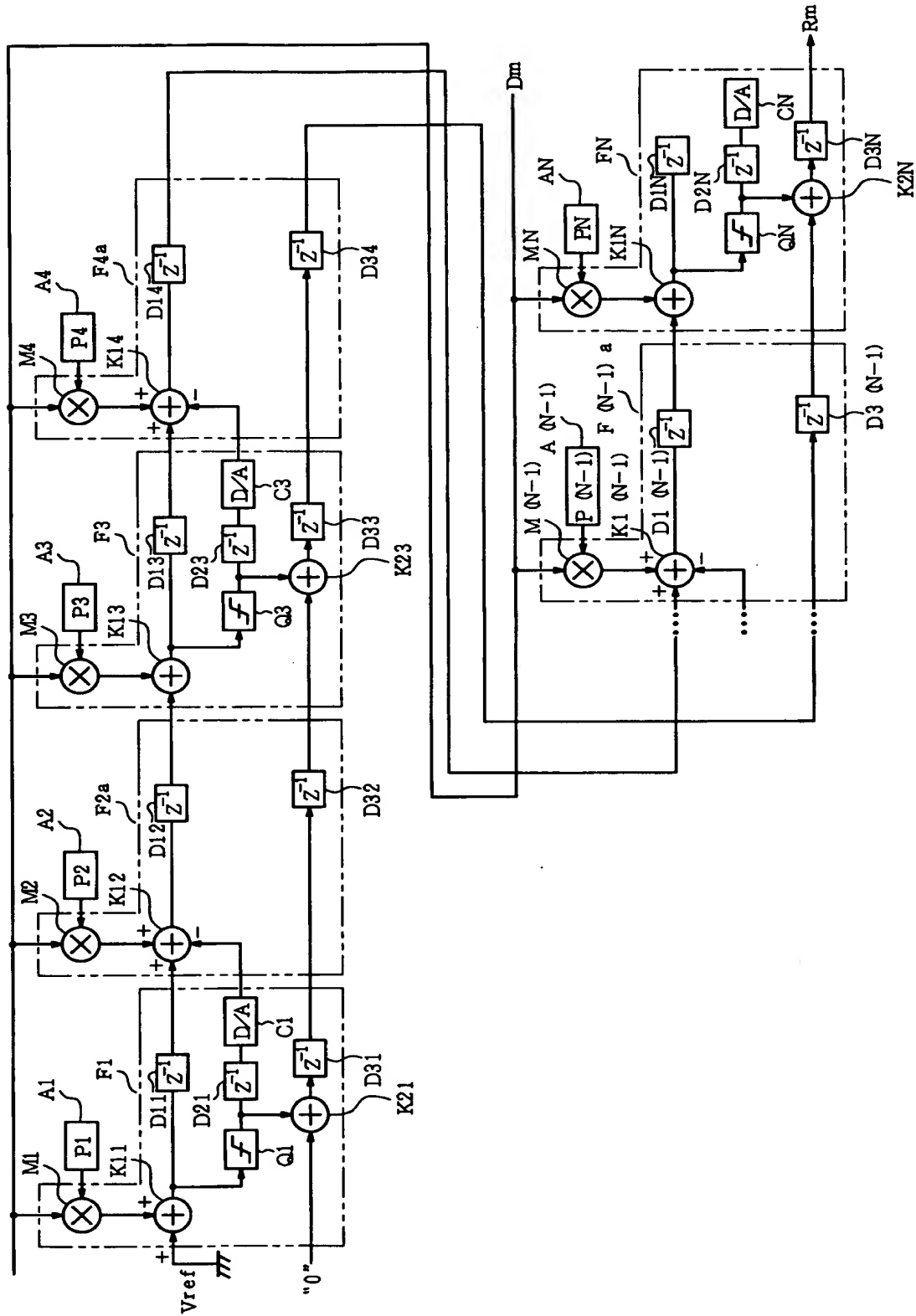
【図 1】



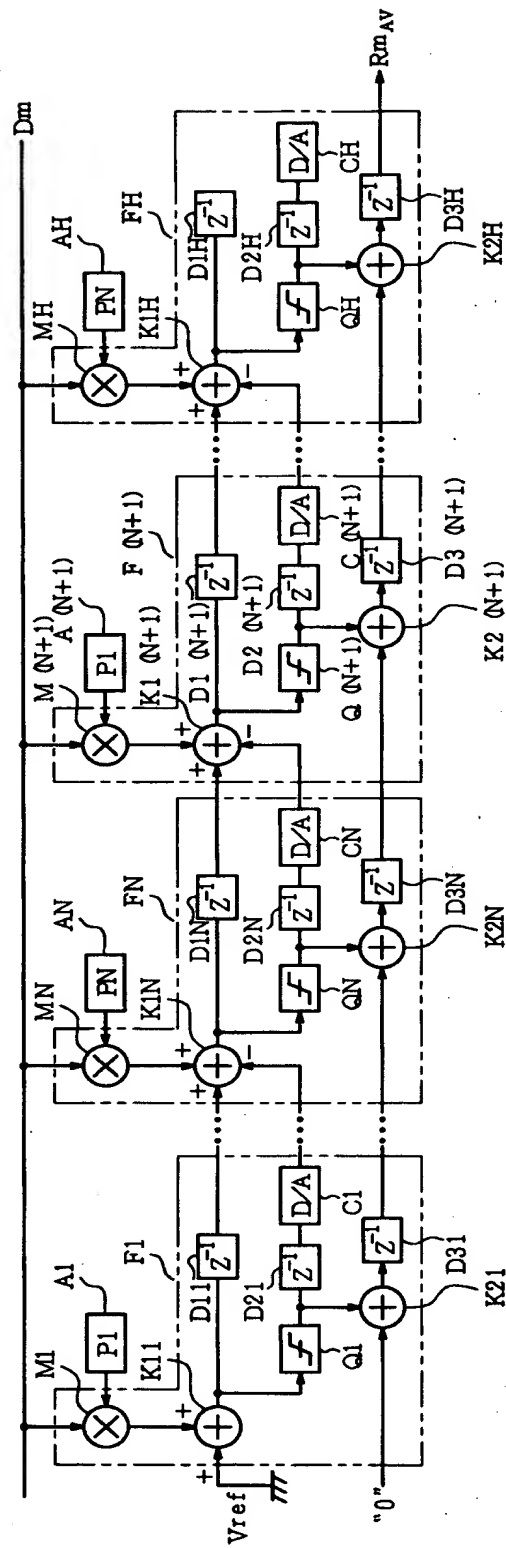
【図 2】



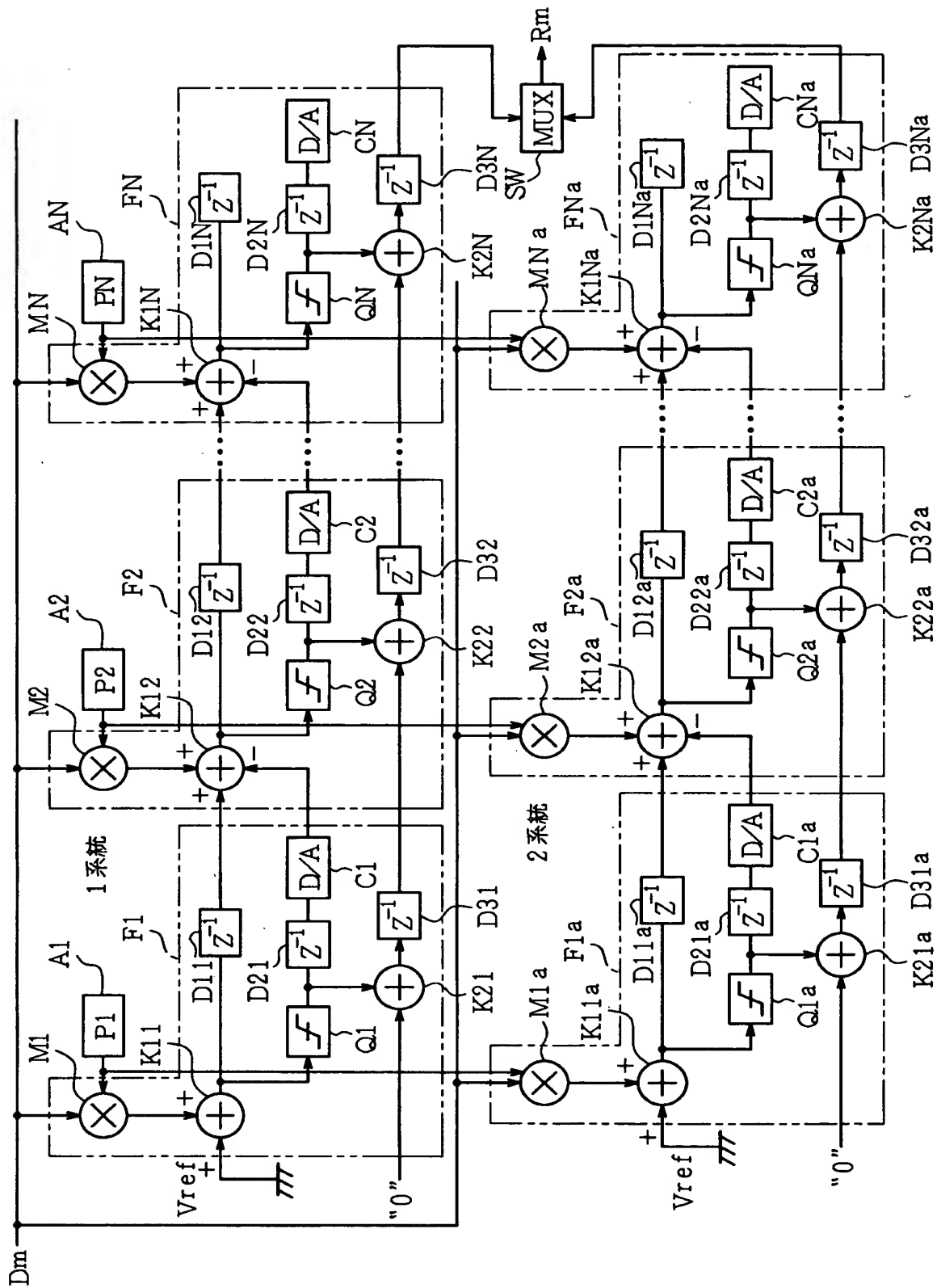
【図 3】



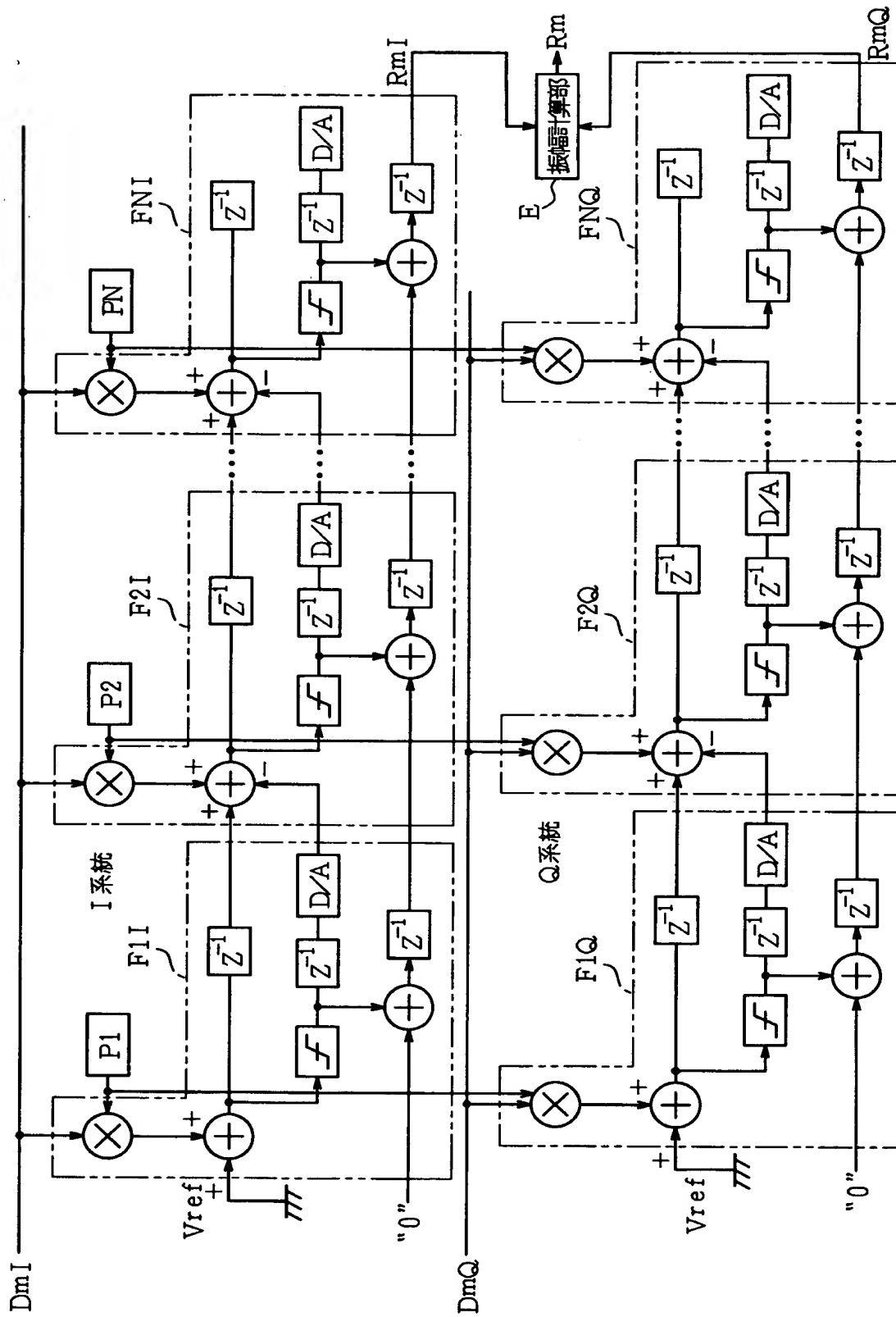
【図 4】



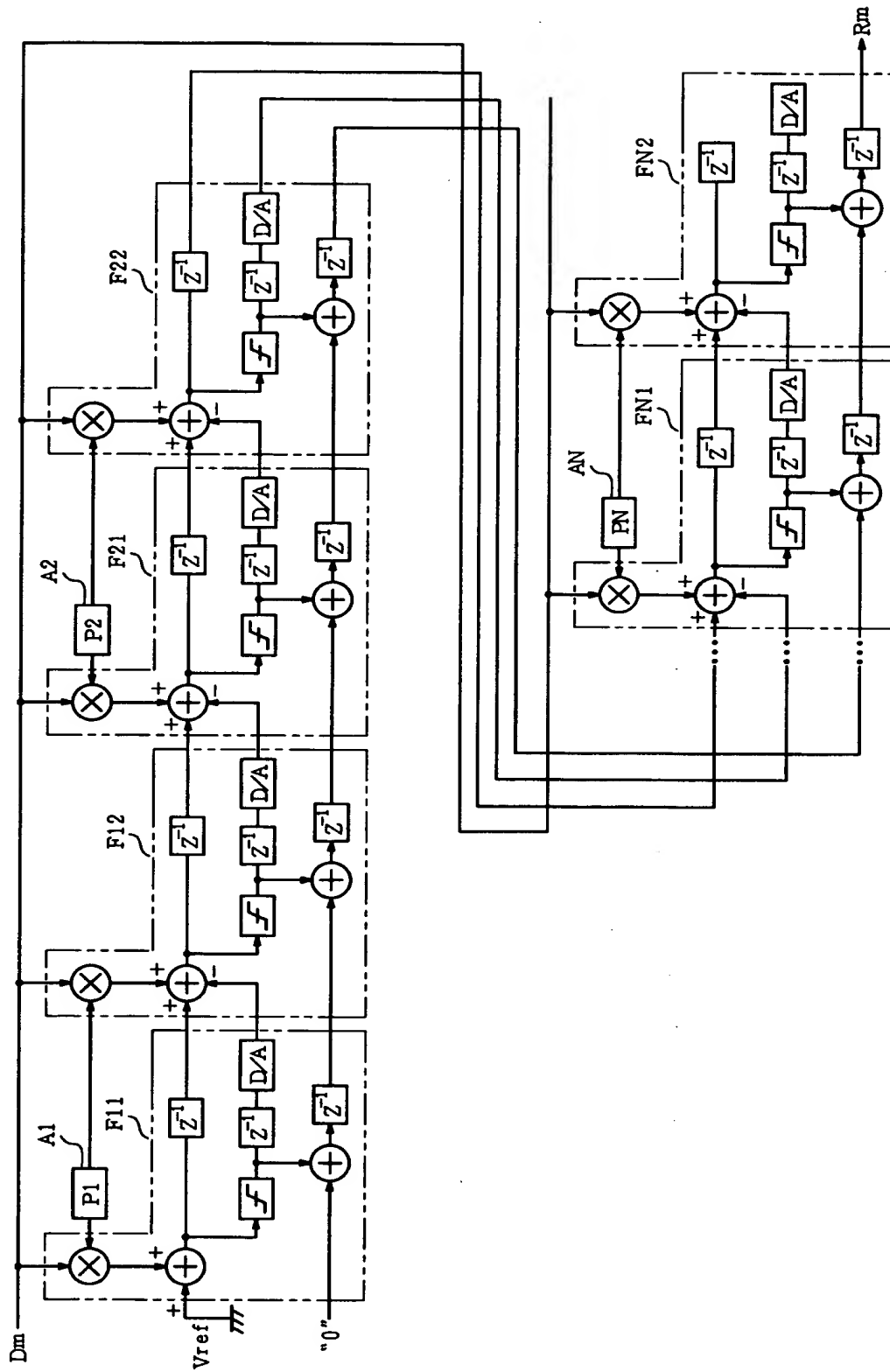
【図 5】



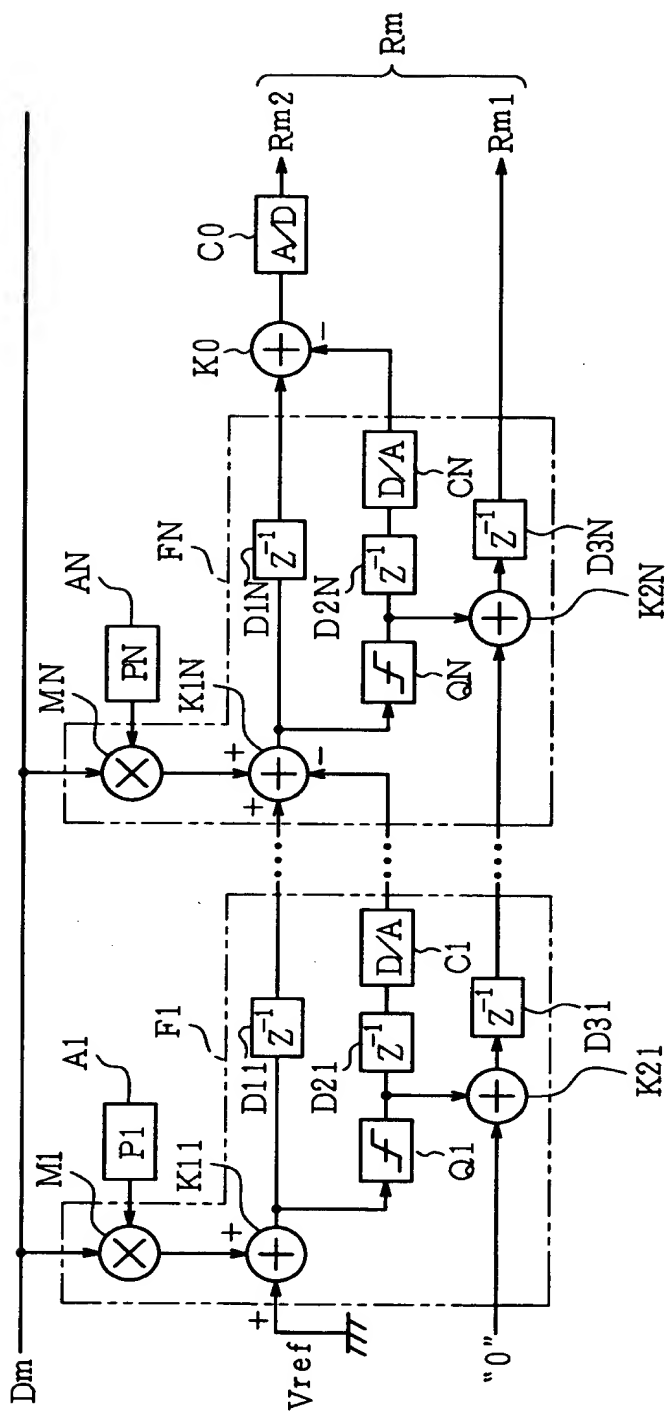
【図 6】



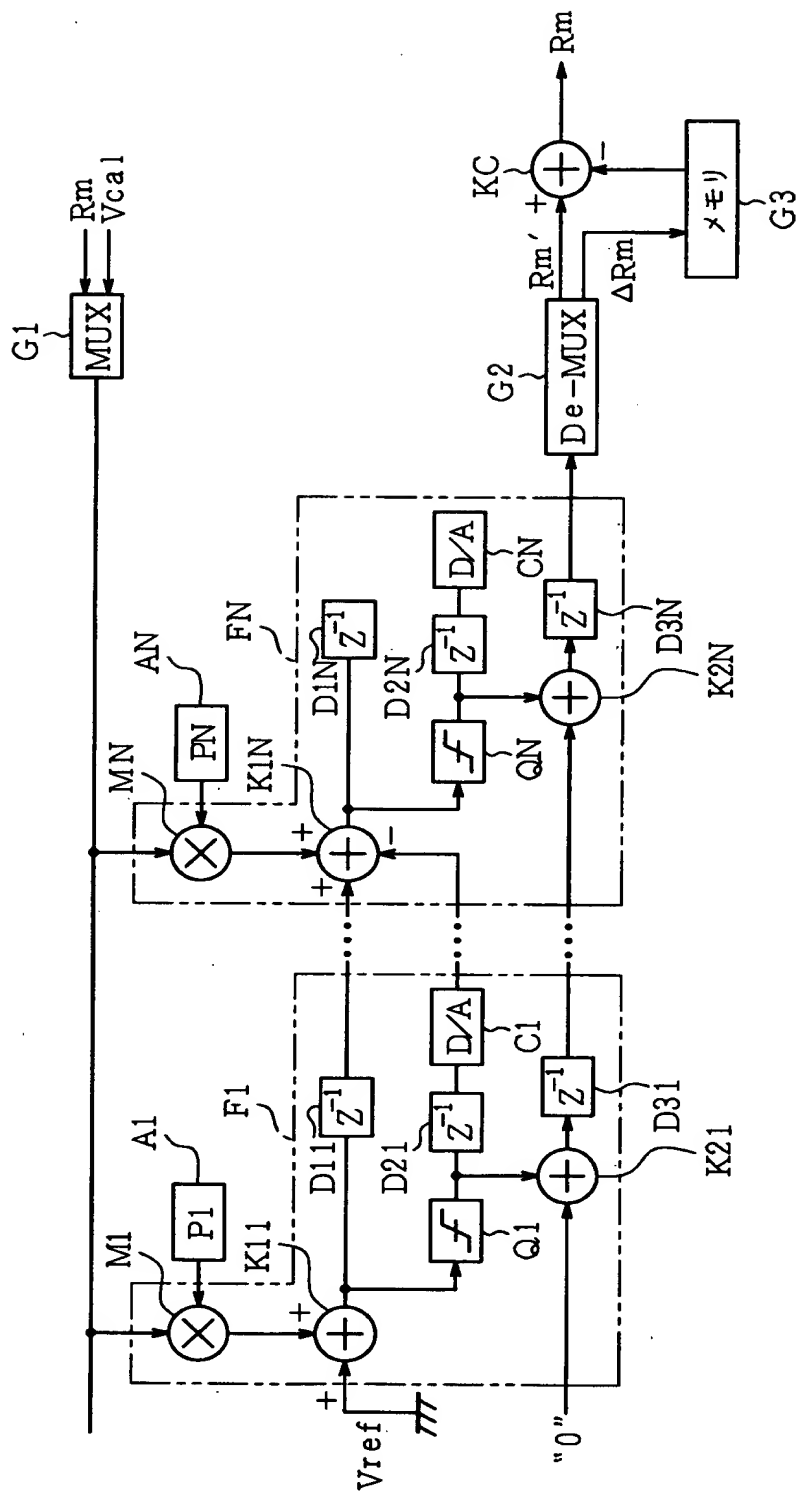
【図 7】



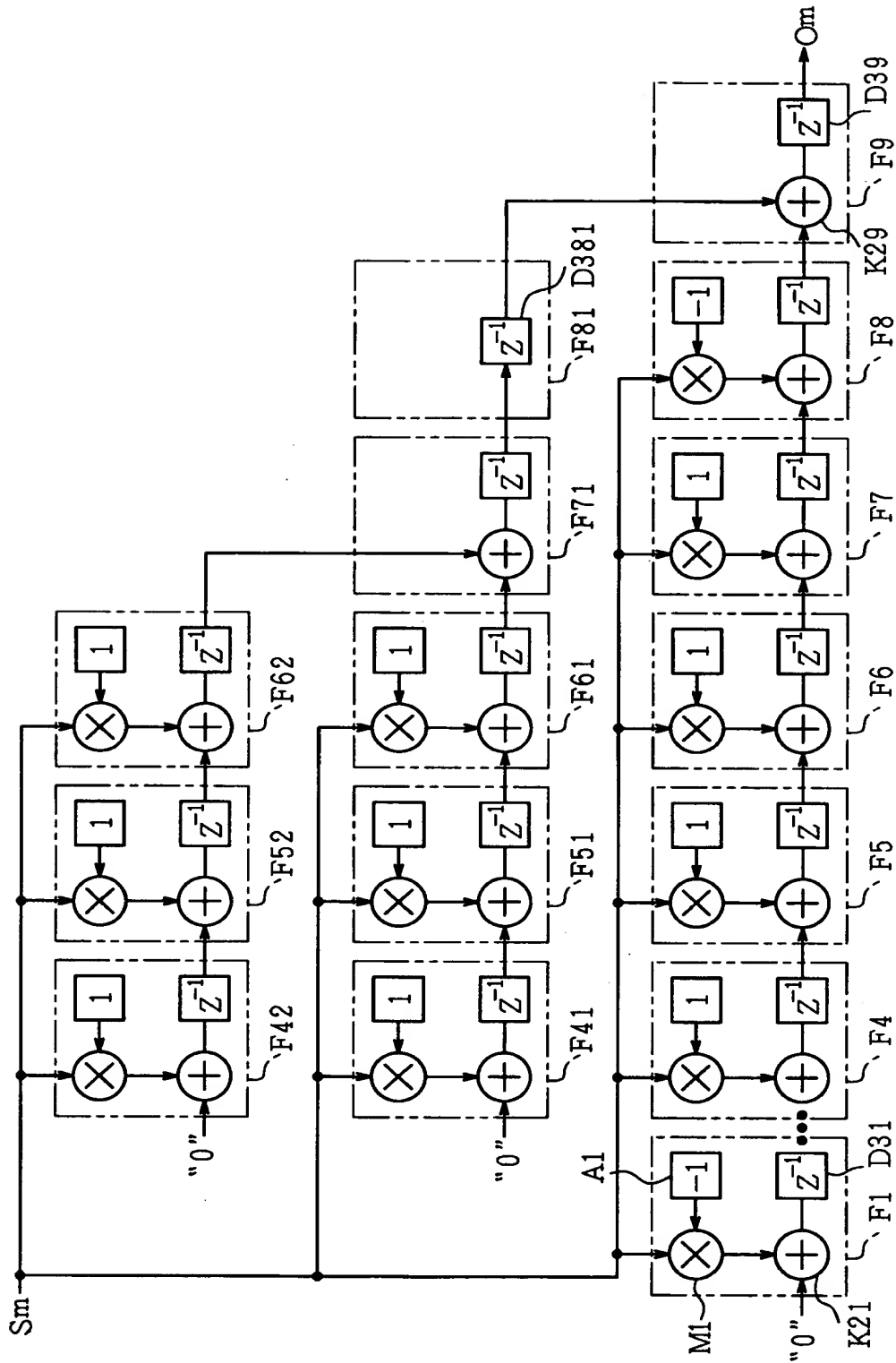
【图 8】



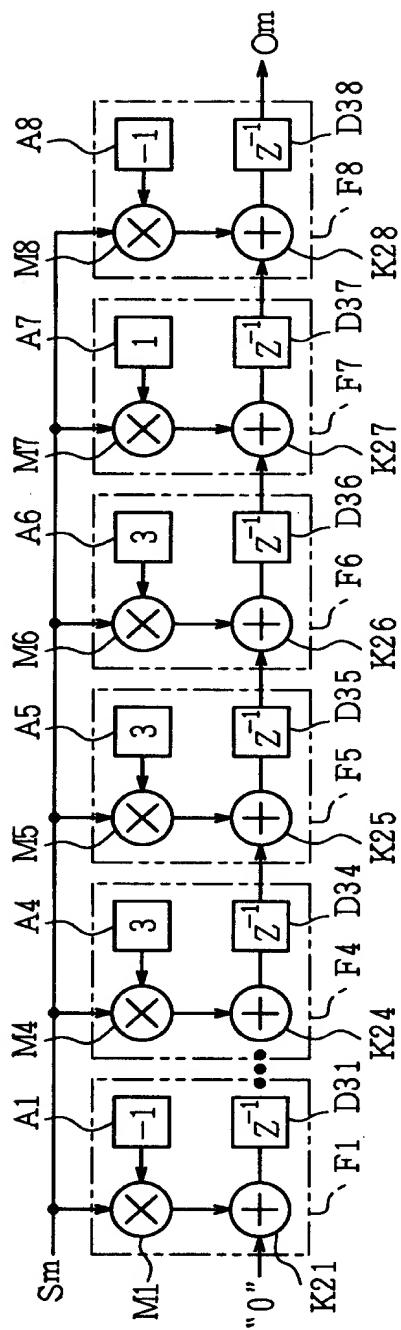
【図 9】



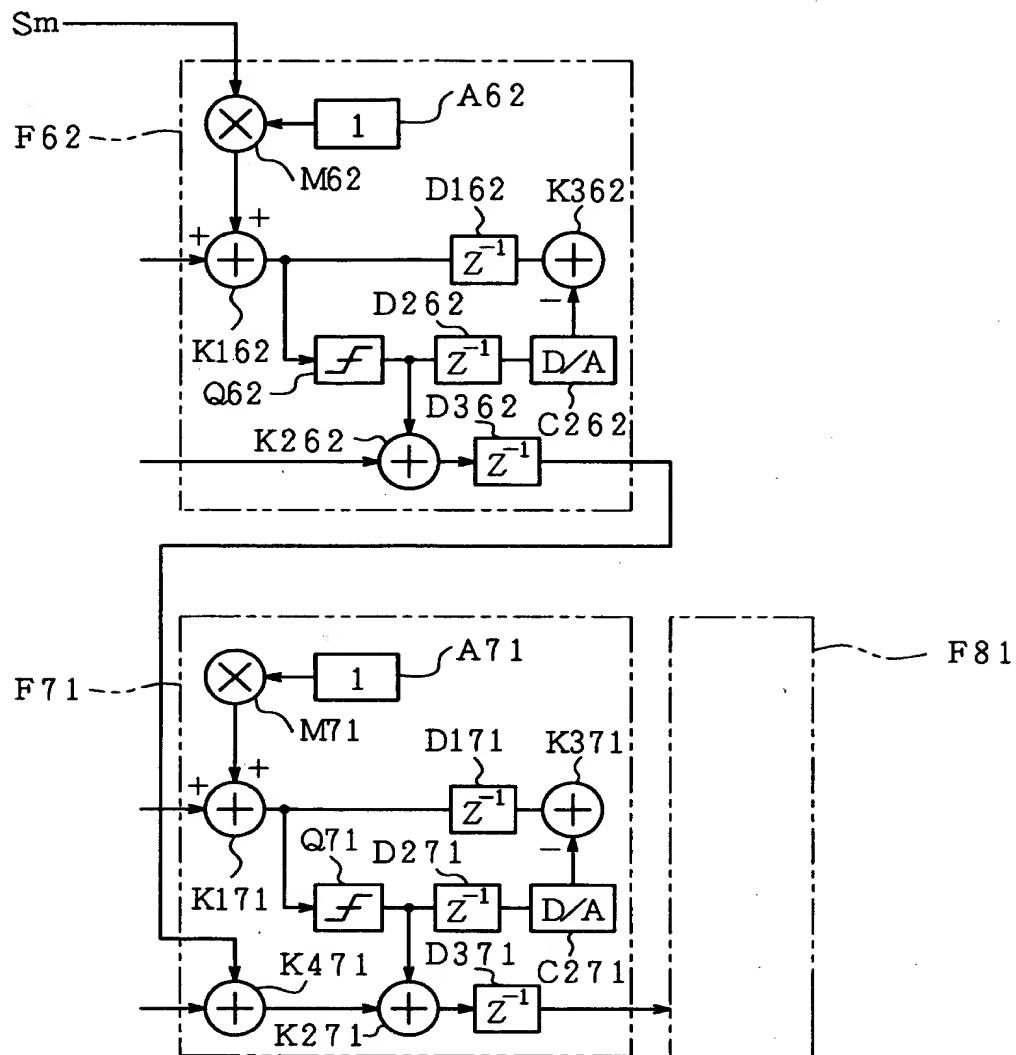
【図 10】



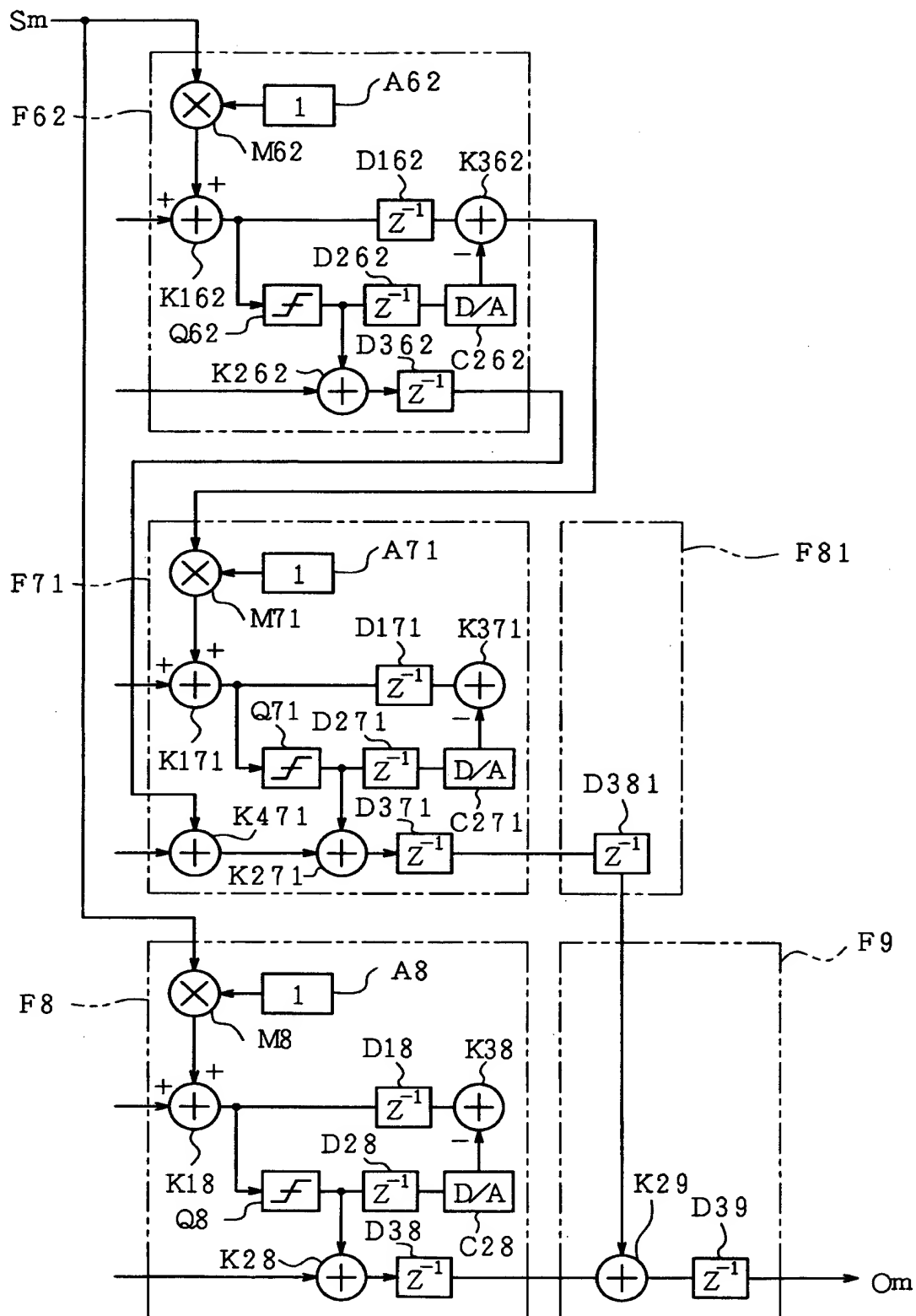
【図 1 1】



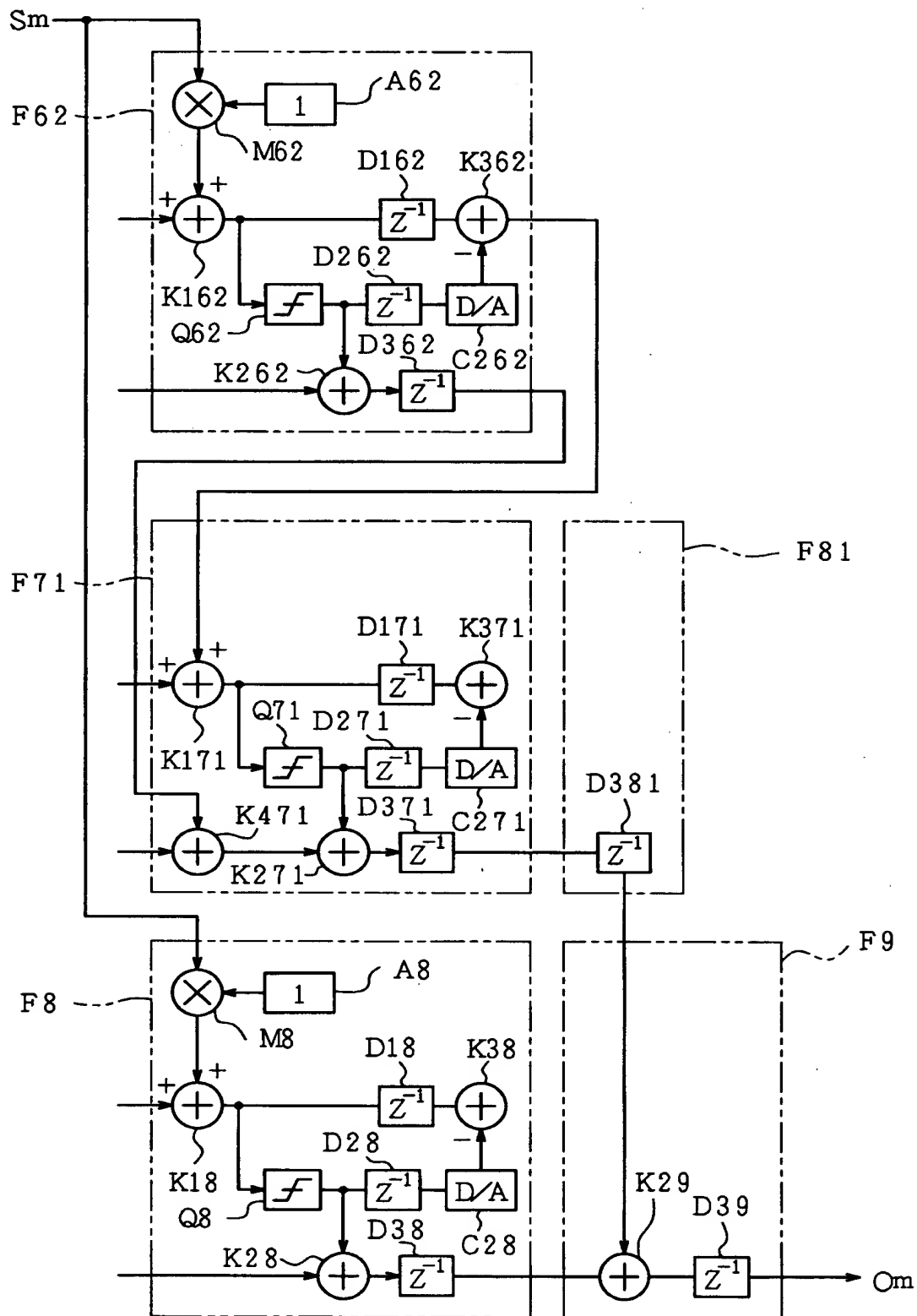
【図 1 2】



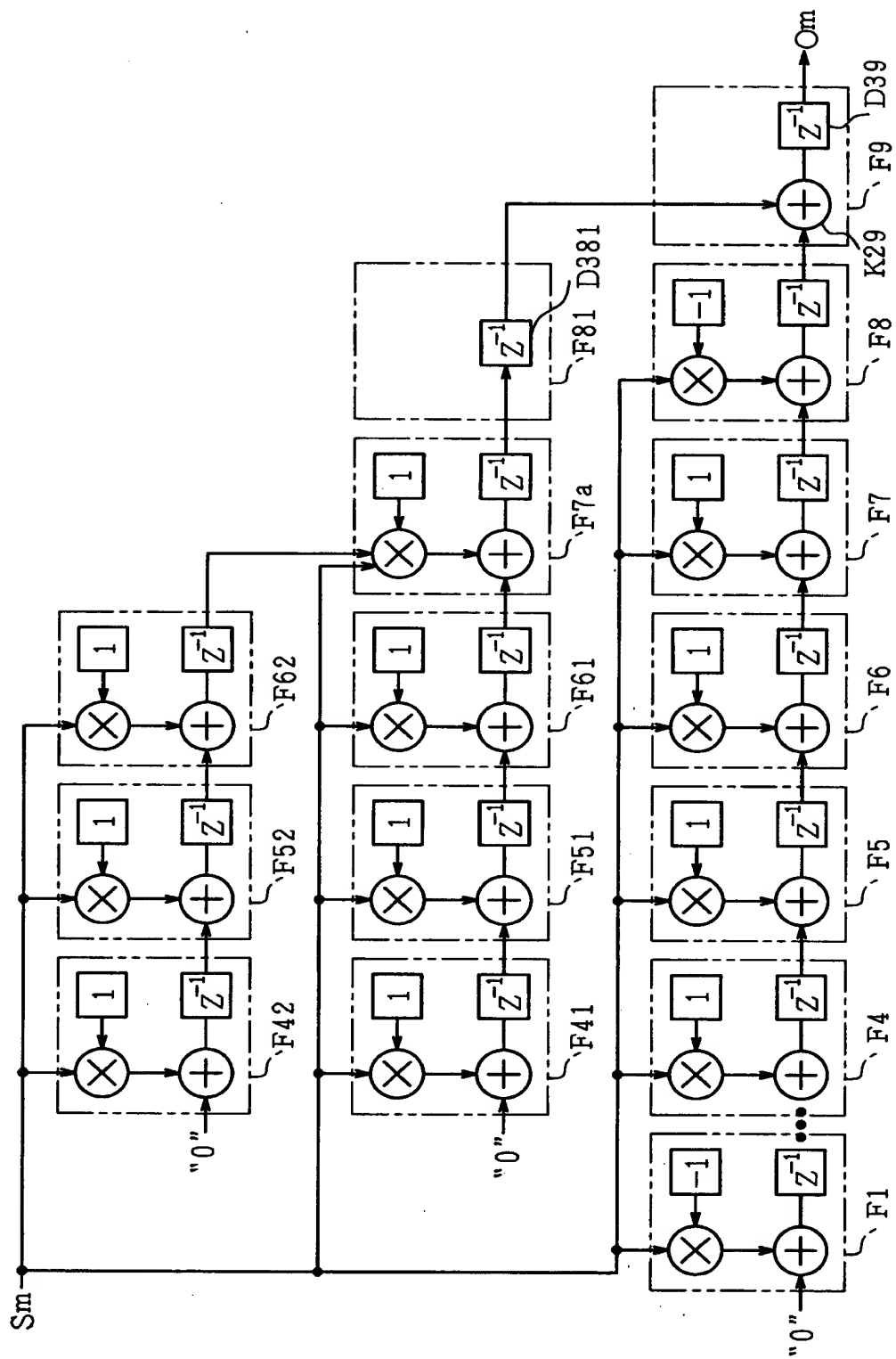
【図 13】



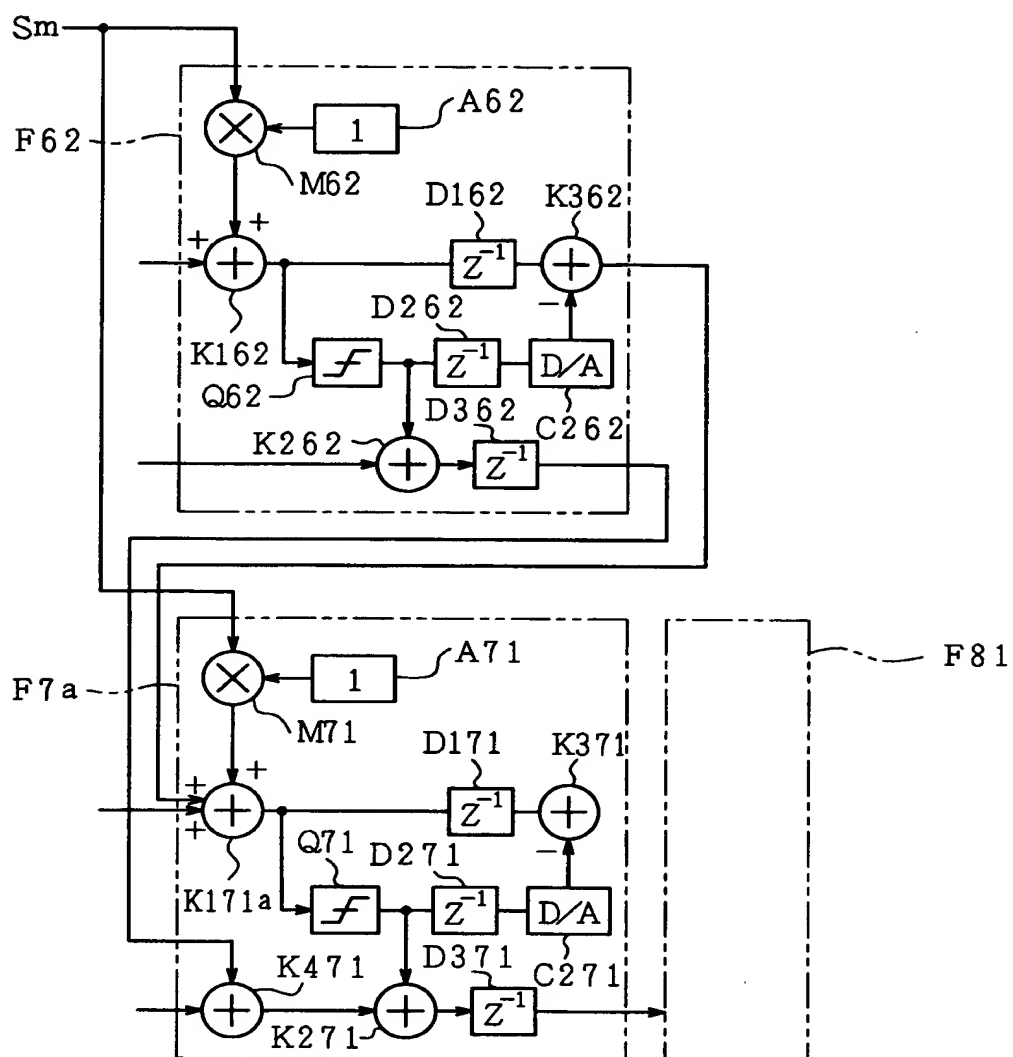
【図 14】



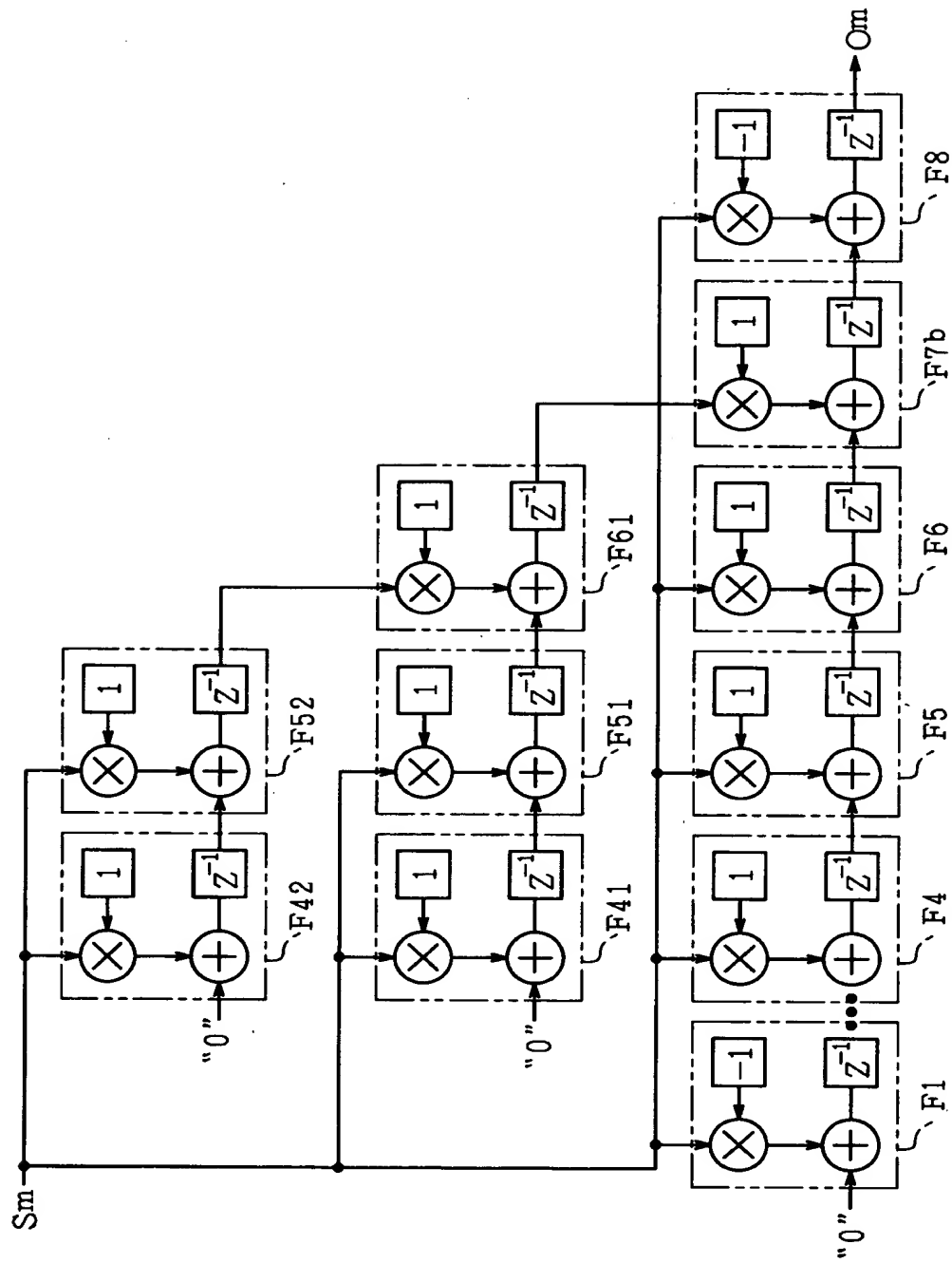
【図 15】



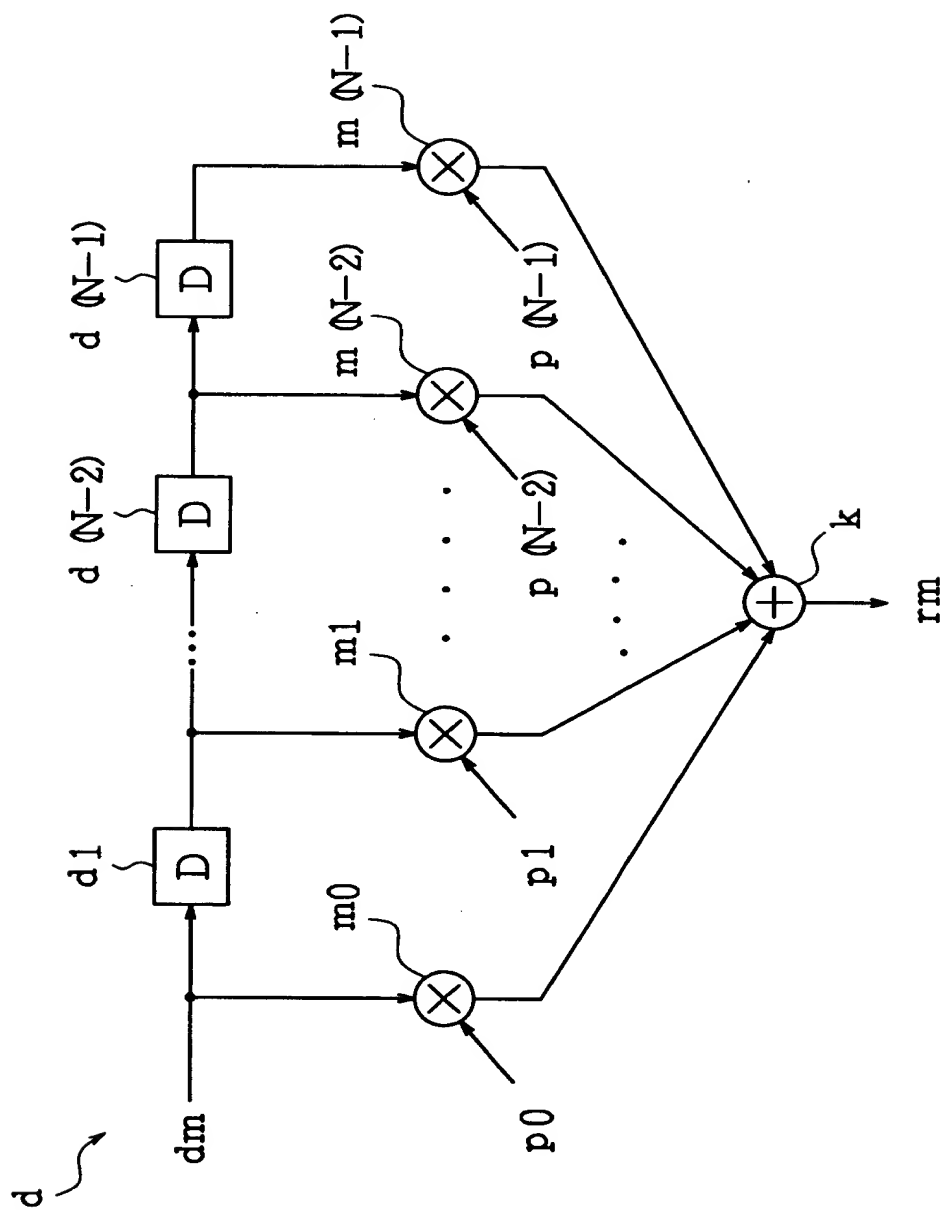
【图 16】



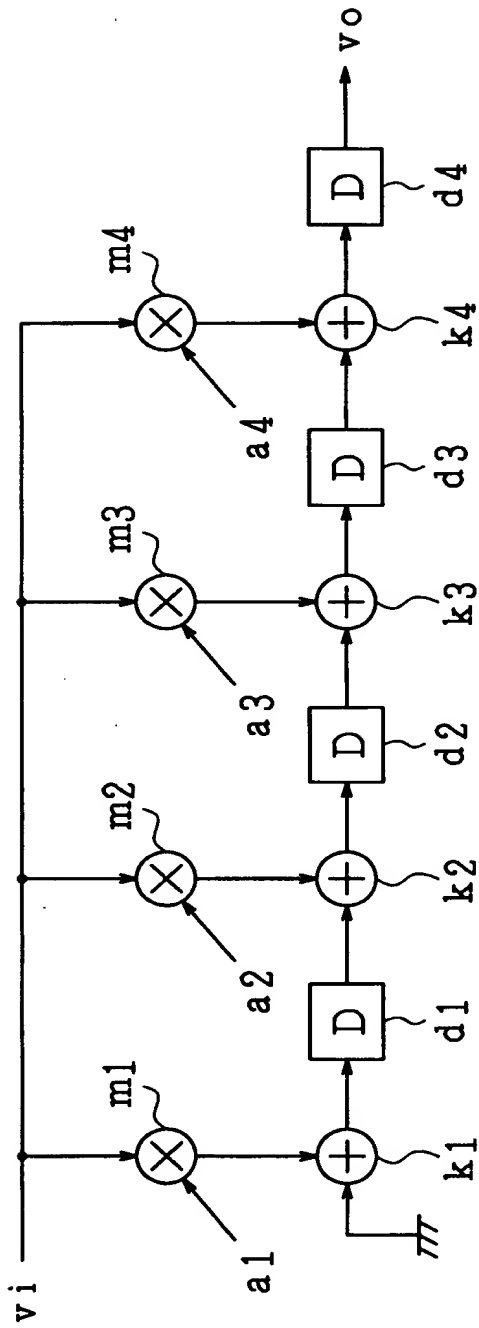
【図 17】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 連続的なアナログ入力信号であるスペクトラム拡散受信信号 D_m を時系列で入力し、この時系列データに、相関演算ユニット $F_1 \sim F_N$ が係数器 $A_1 \sim A_N$ 内の拡散符号 $P_1 \sim P_N$ をそれぞれ乗じて積算するマッチトフィルタにおいて、タップ数の増大に伴う累算値の増大によって、アナログ加算器 $K_{11} \sim K_{1N}$ が後段側でダイナミックレンジが拡大することによる電力消費を低減する。

【解決手段】 前記拡散符号 $P_1 \sim P_N$ などから、前記積算値が大きくなる任意の段のユニットにおいて、量子化器 $Q_1 \sim Q_N$ によって部分量子化値を求め、後段側のユニットへは、その部分量子化値をカウンタから成る加算器 $K_{21} \sim K_{2N}$ によって順次加算して転送してゆくとともに、次段の加算器 $K_{12} \sim K_{1N}$ では、 D/A 変換器 $C_1 \sim C_{N-1}$ による前記部分量子化値のアナログ変換値を前記積算値から減算したアナログ残差を求めるようにし、前記アナログ累算値の増大を抑える。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社